

Manuel Technique

Télévision Couleur

Châssis EURO5



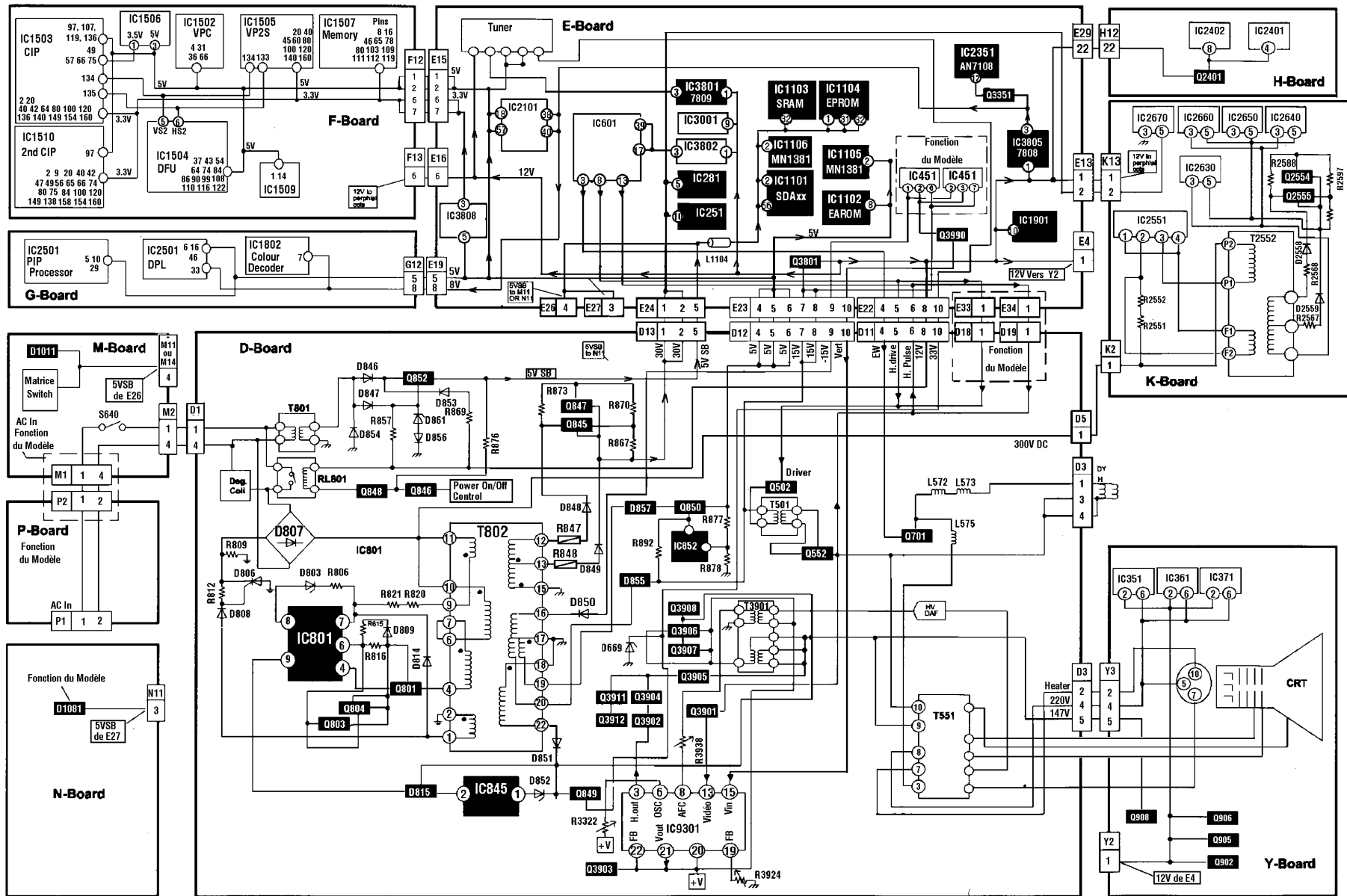
Panasonic

TABLE DES MATIERES

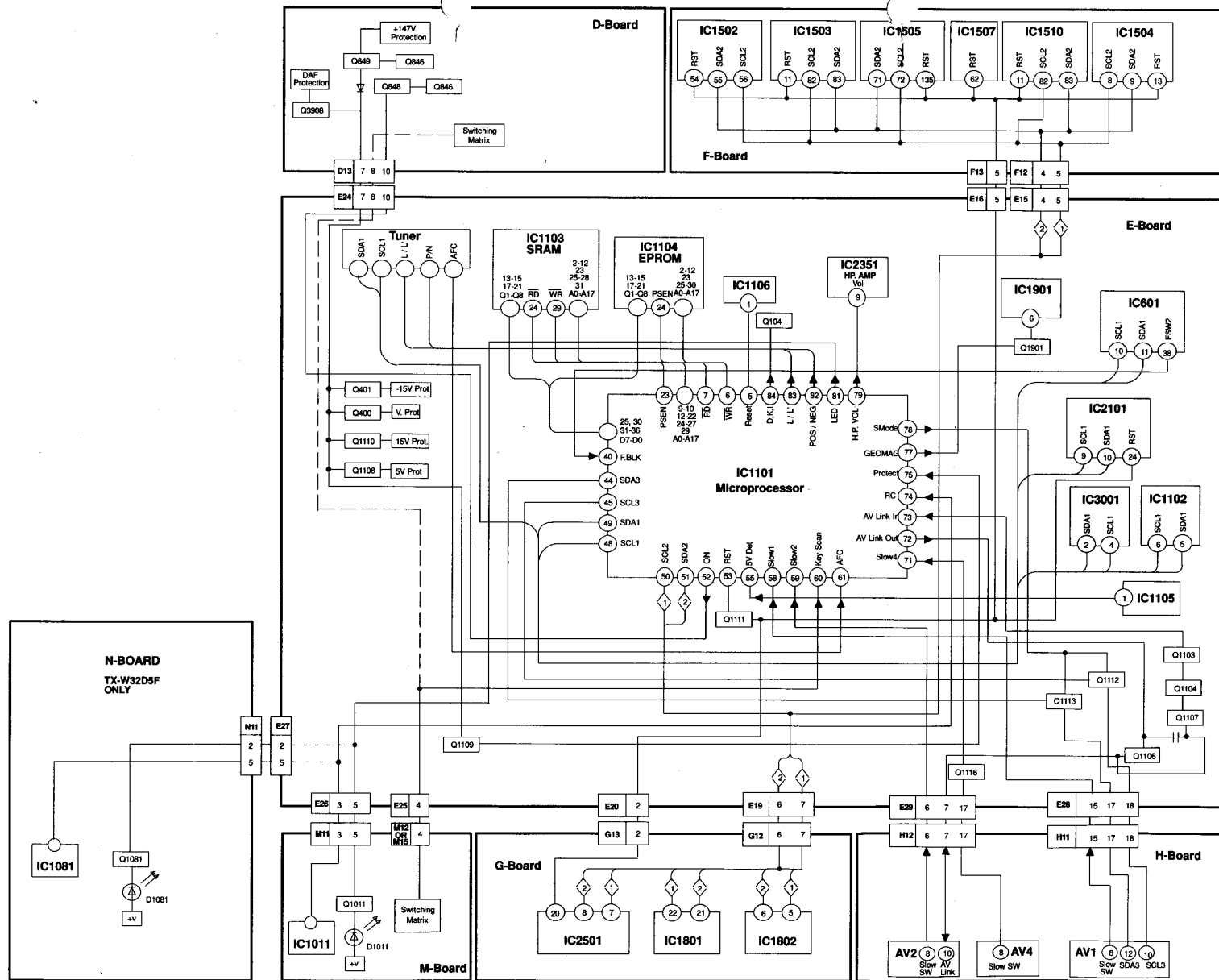
2. ALIMENTATION.....	1
3. CONTRÔLE.....	2
4. VIDEO.....	3
5. AUDIO.....	4
6. ALIMENTATION.....	5
6.1. CIRCUIT DE VEILLE.....	5
6.2. ALIMENTATION PRINCIPALE.....	6
6.3. FONCTIONNEMENT.....	6
6.4. DÉMARRAGE.....	7
6.4.1. <i>Durée et condition de saturation.</i>	7
6.4.2. <i>De la saturation au blocage.</i>	7
6.4.3. <i>Durée et condition de blocage.</i>	7
6.4.4. <i>Du blocage à la saturation.</i>	7
6.5. RÉGULATION.	8
6.6. CIRCUIT DE PROTECTION.	8
6.6.1. <i>Protection Thermique.</i>	8
6.6.2. <i>Protection contre les surtensions. (OVP)</i>	8
6.6.3. <i>- Protections contre les surconsommations.</i>	8
6.6.4. <i>Circuit de Latch.</i>	8
6.7. SECONDAIRES.	9
6.8. STABILISATION DES TENSIONS.	9
6.8.1. <i>Alimentation 15v</i>	9
6.8.2. <i>Alimentation 9V.</i>	9
6.8.3. <i>Alimentation 8V.</i>	9
6.8.4. <i>Alimentation 5V.</i>	9
6.8.5. <i>Alimentation 3.3V.</i>	10
6.8.6. <i>Alimentation audio.</i>	10
7. SECTION RF/IF.	11
STANDARDS TV	12
8. CONTRÔLE DES COMPOSANTS	13
9. MICROPROCESSEUR ET TELETEXTE	14
9.1. ETAGE MICROPROCESSEUR.	15
9.1.1. <i>Q-LINK.</i>	20
9.1. 2. <i>BUS I²C.</i>	21
9.2. TÉLÉTEXTE.....	22
9.2.1. <i>Fonctionnement.</i>	23
10. SRAM.	24
11. EPROM	25
12.EAROM.....	26
13. TRAITEMENT SYNC. ET DISPLAY.	27
13.1. DESCRIPTION DES FONCTIONS.	28
13.1.1. <i>Etage RVB.</i>	28
13.2. SYNCHRO ET DÉFLEXION.....	28
13.2.1. <i>Généralité.</i>	28
13.2.2. <i>Commande Horizontale.</i>	28
13.2.3. <i>Commande verticale et Est / Ouest.</i>	28
13.3. ÉTAGE DE CONTRÔLE.	29

13.3.1. Cut - Off.....	29
13.3.2. Limitation du courant de faisceau.....	29
13.3.3. Stabilisation de la géométrie.....	30
13.3.4. Commutation de la suppression de spot.....	30
14 SORTIES HORIZONTALE ET VERTICALE.....	31
14.1 DRIVER HORIZONTAL.....	31
14.2.ETAGE DE SORTIE HORIZONTAL.....	31
14.3. CORRECTION EST / OUEST.....	31
14.4 ETAGE DE SORTIE VERTICAL.....	33
14.4.1 LA7845.....	33
14.4.2 LA7876.....	34
14.4.3. Protection verticale.....	34
14.5. AJUSTEMENT GÉOMÉTRIE.....	35
15. FOCUS DYNAMIQUE.....	36
15.1. INTRODUCTION.....	36
15.2. TRAITEMENT DU D.A.F.....	37
15.3. AN5422 (IC3901).....	38
16. SORTIES RVB.....	39
16.1. MODULATION DE VÉLOCITÉ.....	39
16.2. ETAGE DE SORTIE COULEUR.....	40
16.2.1. Circuit de Cut-Off.....	40
16.2.2. Suppression de Spot.....	40
16.2.3. Limitation du courant de faisceau.....	40
16.2.4. Protection.....	40
17. CHANGEMENT DE BALAYAGE.....	42
17.1. VUE D'ENSEMBLE DES CI.....	42
17.2. PRINCIPE DE LA CONVERSION 100HZ.....	43
17.3 FILTRE EN PEIGNE VPC3215.....	45
17.3.1. Traitement Vidéo.....	45
17.3.2. Filtre en peigne.....	45
17.3.3. Décodeur couleur.....	46
17.3.4. Formatage.....	46
17.3.6. Contrôle.....	46
17.4.CIP IC1503.....	47
17.4.1. Brochage.....	48
17.5. V-PROCESSOR (MB87F2131).....	49
17.5.1. Composition.....	49
17.5.2. Trajet Entrée / sortie.....	50
17.5.3. Description des particularités.....	50
17.6. MÉMOIRE IC1507.....	55
17.6.1. Brochage.....	55
17.7 DFU IC1504.....	56
17.8. IC1510 2 ^{ÈME} CIP.....	57
17.8.1 Brochage.....	57
17.9. GÉNÉRATEUR D'HORLOGE..IC1509.....	58
17.9.1 Brochage.....	58

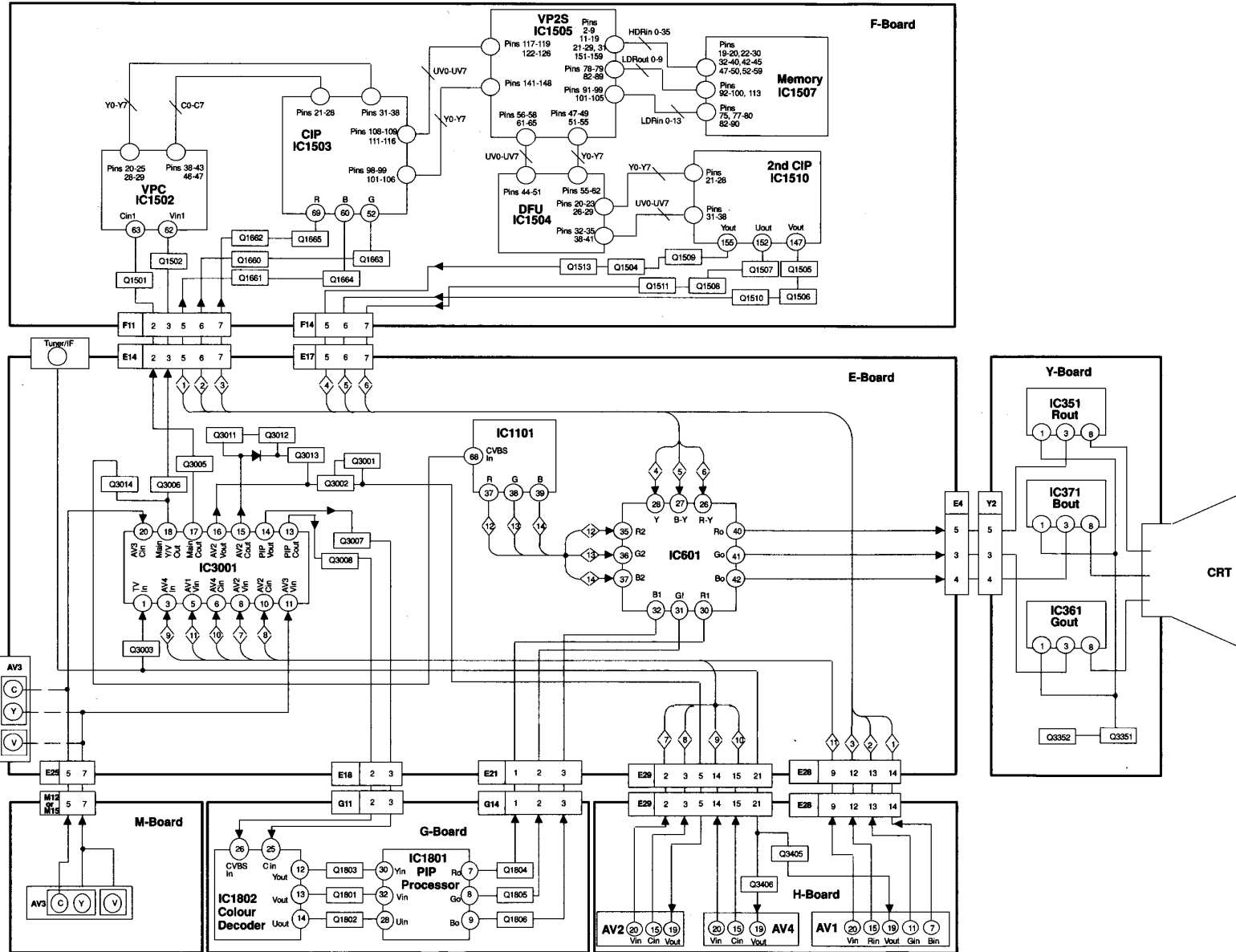
2. ALIMENTATION



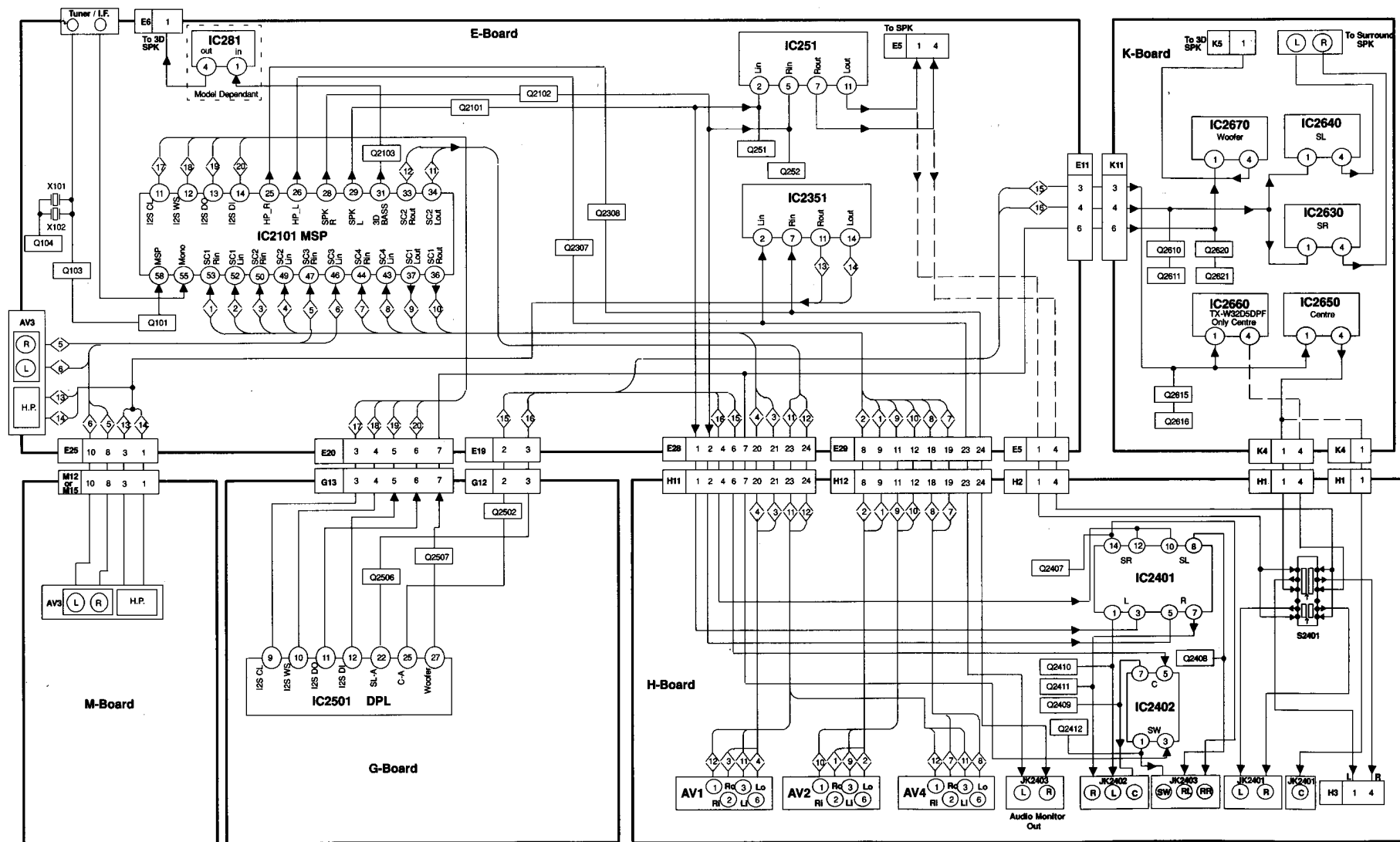
3. CONTROLE



4. VIDEO



5. AUDIO



6. ALIMENTATION.

L'alimentation du Châssis EURO 5 est réalisée à partir du CI AN8029. Ce circuit commande le TZ Q801. L'alimentation de veille est réalisée par un circuit secondaire.

6.1.Circuit de veille

L'alimentation de veille est située sur la POCB E qui fournit le 5V de Veille (5VSB). Cette alimentation permet de maintenir opérationnel les circuits suivants : I.R. infrarouge, μ P, EPROM, circuit d'AV Link (Constitué des TZ Q1103, Q1104, Q1106, Q1107).

La tension secteur, via le Switch On/Off S840 (S802), est appliquée sur la PCB-D. Cette tension secteur est reliée au contact du relais de veille RL801, ainsi qu'au primaire du Transfo de veille T801 (Enroulement P1/P2). La tension secondaire est appliquée sur la base de Q852 via R866, C847, D854, D847, C857.

La base est maintenue à 6.1v par la Zener D861 et la diode D856.

La tension d'émetteur est alors de 5V, et alimente les différents circuits nommés ci-dessus.

Sortie de D847 la tension Dc est appliquée sur la bobine du relais RL801 via R857.

La tension collecteur de Q852 est réalisée par D846, C853.

Le relais de veille colle lorsque le TZ Q846 est saturé.

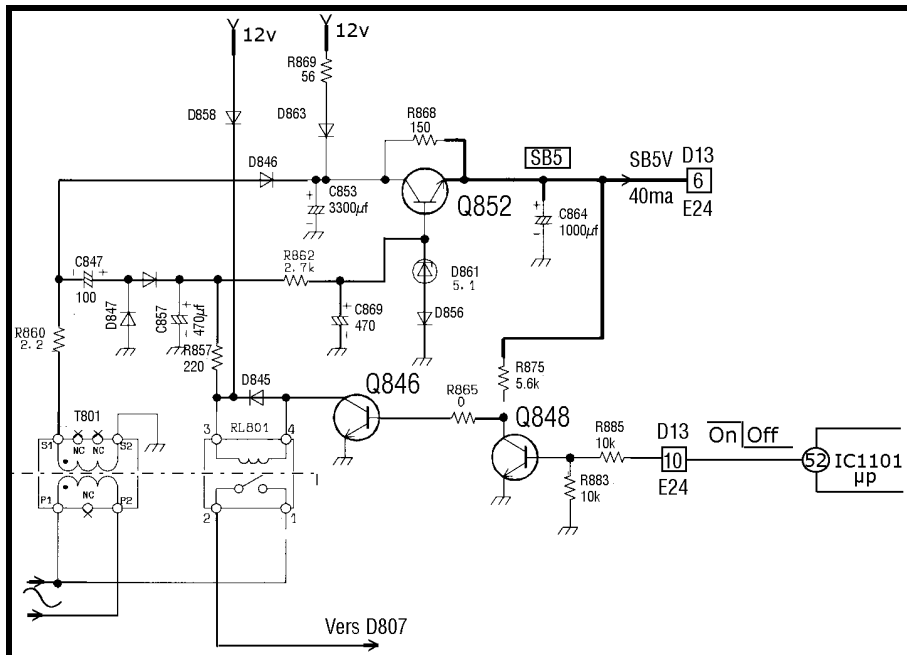
Celui-ci est saturé lorsque Q848 est lui-même saturé.

Q848 est saturé par la commande Power On/Off à niveau Haut (ON).

L'ensemble est bloqué par un Niveau Bas.

Cette commande vient de la broche 52 d'IC1101 (μ P).

A partir du moment où le relais colle, la tension secteur est appliquée sur l'alimentation principale. Celle-ci fournit un 12V en retour qui maintient l'ensemble actif, via R869, D858 et R857.



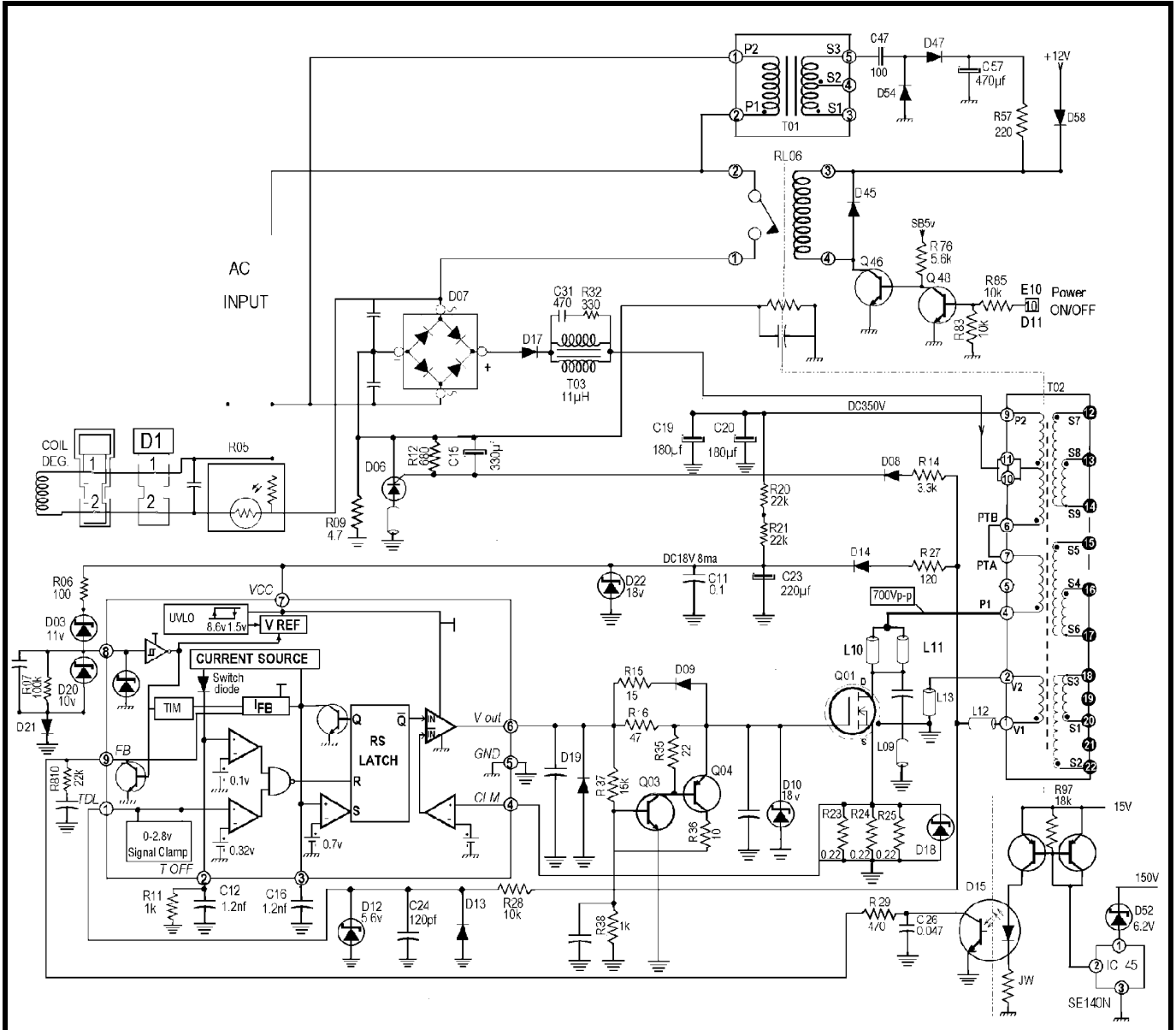
6.2. Alimentation principale.

Le CI AN8029 utilisé dans le châssis EURO5 réalise la régulation et le contrôle de l'alimentation principale. Il commande un transistor de découpage MOS-FET.

6.3. Fonctionnement

Comme mentionné précédemment, la tension secteur passe au travers de l'interrupteur, des filtres antiparasites, du contact de relais et, est appliquée sur le pont redresseur D807.

De là, la tension redressée est appliquée au Drain du MOS-FET, via l'enroulement primaire PUA/P1 de T802.



6.4. Démarrage

Les opérations de démarrage et d'arrêt sont réalisées par détection de la tension broche 7 d'IC801.

Au démarrage la diode D806 procure un démarrage lent afin de protéger la résistance de limitation de courant R809. Après quoi D806 n'est plus requis.

Au démarrage la capacité C823 se charge via les résistances R820 et R821.

La tension est appliquée sur la broche 7 au générateur de référence interne, au circuit Start/Stop, et au circuit d'analyse de tension d'alimentation.

Lorsque la broche 7 atteint 14.9V, IC801 commence à opérer et le MOS-FET Q801 conduit.

Le courant circule dans l'enroulement primaire via Drain Source de Q801.

L'alimentation de la broche 7 d'IC801 est alors assurée par la tension V1/V2 redressée par D814.

Si la tension broche 7 d'IC801 descend sous 6.3V le circuit s'arrête.

La complémentarité des tension, PUA-P2 et VI-V2 permette au circuit de fonctionner correctement.

6.4.1. Durée et condition de saturation.

Lorsque le TZ Q801 est saturé, C812 (Broche 2 d'IC801) se trouve pré - chargé à 0.9V.

Dans le même temps C816 (broche3 d'IC801) se charge à courant constant.

6.4.2. De la saturation au blocage.

Lorsque la tension de C816 atteint 0.7V la sortie de l'oscillateur s'inverse et le TZ Q801 se bloque.

C816 se décharge rapidement (En interne) la tension à ses bornes passe à 0V.

6.4.3. Durée et condition de blocage.

Durant le blocage de Q801, C812 commence à se décharger à travers R811 à une vitesse déterminée par la constante de temps C812, R811.

6.4.4. Du blocage à la saturation.

Lorsque la tension aux bornes de C812 passe sous 0.1V et que l'information de retour broche 1 signale l'absence de courant, la sortie de l'oscillateur s'inverse et Q801 se sature.

6.5. Régulation.

La durée de saturation est déterminée par le contrôle du courant de charge de C816 via le Photo Coupleur D815, qui est relié à la broche 9 d'IC801 via R829.

Le courant du photo coupleur varie en fonction de la conduction de Q853/Q854 et de la tension de sortie d'IC845, broche 2.

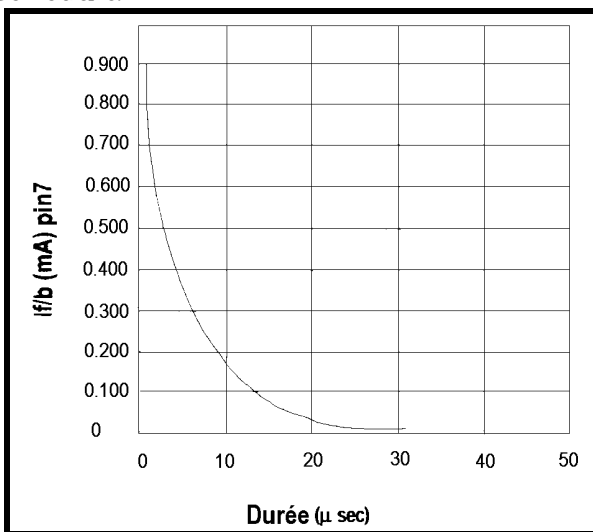
IC845 et Q853/Q854 analysent la tension +B de 147V à une tension de référence interne à IC845. La figure ci-dessous montre l'évolution du temps de conduction en fonction du courant via D815.

Si la tension secteur augmente ou que le courant secondaire diminue la tension +B tend à augmenter.

Cela entraîne une augmentation de Le courant circulant dans R897 augmente ce qui entraîne une augmentation du VBE de Q853

Q854 conduit plus, le courant circulant dans le Photo Coupleur augmente, ce qui augmente le temps de charge de C816.

En conséquence le temps de conduction de Q801 se réduit.



6.6. Circuit de protection.

6.6.1. Protection Thermique.

Le circuit se bloque lorsque la température du C.I. atteint 150°.

6.6.2. Protection contre les surtensions. (OVP)

Si la tension, broche 7, atteint 18V, le C.I. passe en protection. Cette mesure est valable pour des surtensions tant primaires que secondaires.

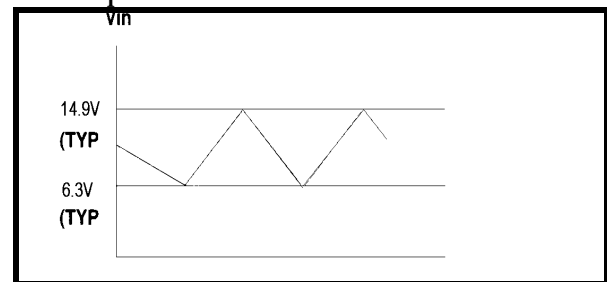
6.6.3. - Protections contre les surconsommations.

Cette protection est assurée par l'analyse de la variation du courant de drain. Le courant, drain / source, passe au travers de R823//824/R825, la DDP apparaissant aux bornes est appliquée sur IC 801, broche 4 (OCP), via R822 à un comparateur interne. Si la tension excède une valeur prédéterminée, la sortie passe à niveau bas, bloquant Q801.

6.6.4. Circuit de Latch.

La bascule, constituée de Q803/Q804 impose le passage à niveau bas du signal de commande, issu de la broche 6, bloquant Q801.

Le blocage de Q801 implique une augmentation de l'impulsion de commande.



Dans ces conditions la broche 7 décroît jusqu'à 6.3V, puis remonte jusqu'à 14.9V, mais la bascule bloque la commande et ainsi de suite tant que la bascule est ON.

L'initialisation de la bascule ne peut se faire qu'après extinction du TV et avoir déconnecté celui-ci du secteur.

6.7. Secondaires.

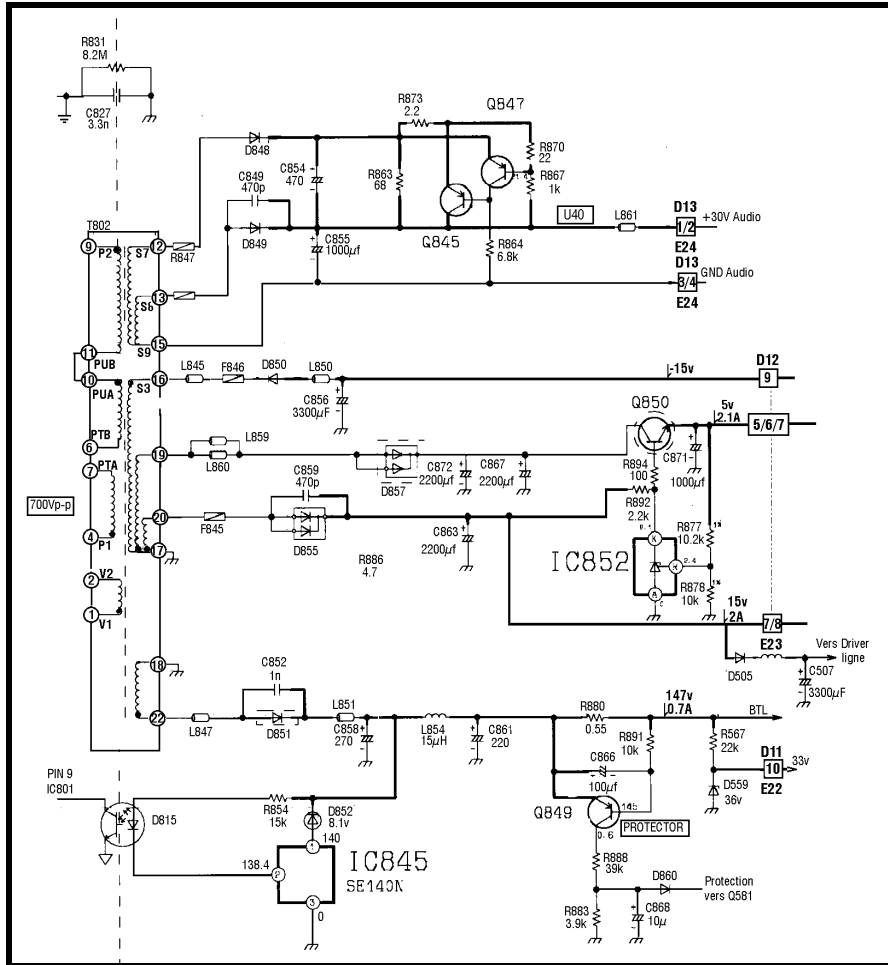
Le secondaire fournit les alimentations suivantes :

- 147V pour la Ligne
- 30V pour l'audio
- +15V pour la sortie Trame et circuit périphérique. A partir de ce 15V on génère du 12V via Q3801.

- -15V pour la sortie Trame et circuit périphérique.

Quoique l'alimentation soit relativement stable aux variations rapides, il s'avère nécessaire de stabiliser les tensions alimentant les circuits numériques.

En plus des lignes d'alimentations citées ci-dessus, un 3.5V, un 8V et un 9V additionnels sont générés.



6.8. Stabilisation des tensions.

6.8.1 Alimentation 15v

Le 15V issu de T802 est appliqué, via D12 et E23 broches 7 et 8 (PCB E). Q3801 stabilisé à 12V par les Zeners, D3803/3804.

6.8.2. Alimentation 9V.

Le 12 V est appliqué sur IC3801 qui fournit le 9V broche 3.

6.8.3. Alimentation 8V.

IC3802 fournit du 8V à partir du 12V pour l'étage d'IC601, et IC3805 qui fournit l'alimentation pour les CI de traitement et circuits périphériques.

6.8.4. Alimentation 5V.

A partir du 7V, Q850, génère le 5 V. La stabilisation est assurée par IC852 via le pont R892/R894 via le 5v de sortie.

6.8.5. Alimentation 3.3V.

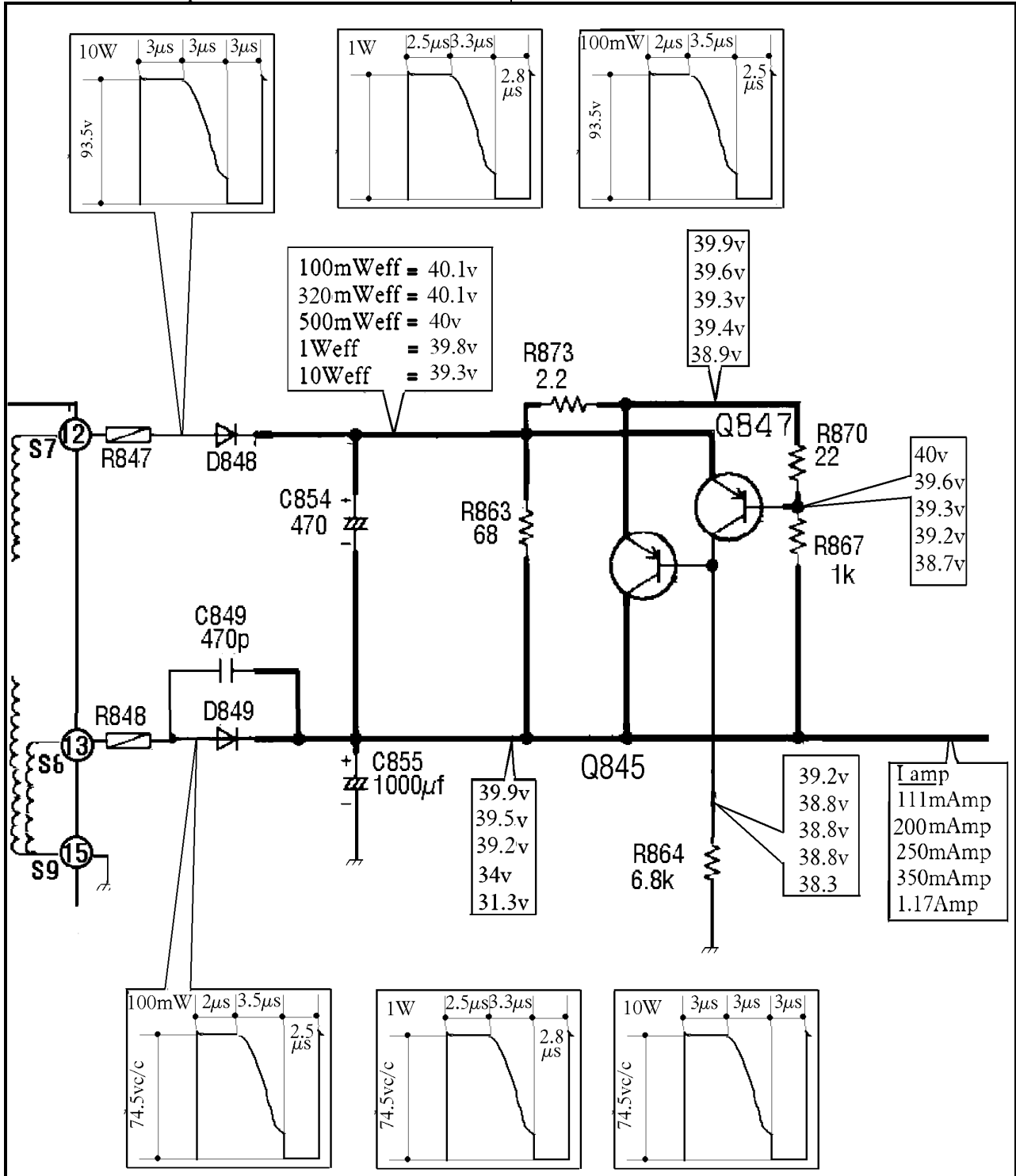
IC3806 (PCBE) fournit le 3.3V à partir du 5V.
Ce 3.3V sert aux circuits de traitement Vidéo.

6.8.6. Alimentation audio.

La tension redressée par D848 est de 40V
La tension redressée par D848 est de 35V.

Lorsque la charge augmente la DDP aux bornes de R870 augmente, un courant de base s'établit entraînant la conduction de Q847, cela à pour effet de réduire le VBE de Q845 ce qui diminue la tension d'alimentation.

En réduisant la tension d'alimentation la puissance de sortie se trouve réduite. Ceci est compensé par l'apport de courant via R863/865.



7. SECTION RF/IF.

Le châssis EURO5 comporte un tuner combiné RF/IF situé sur la PCB E

L'étage RF se caractérise par :

- (1) Haute impédance d'entrée
- (2) Faible radiation du Tuner
- (3) Oscillateur à faible interférence.

Le tuner couvre les bandes I, III, IV, ainsi que l'hyper bande.

Cette désignation se réfère à la plage de fréquence située entre 300MHz et 470MHz.

Cette bande de fréquence présente un intérêt dans la mesure du nombre croissant de réseaux câblés et de programmes qui s'y réfèrent

Ce tuner couvre, en trois bandes, l'ensemble de la plage de fréquence, de 47MHz à 681MHz.

La plage d'accord étant très large, il n'est pas possible de couvrir l'ensemble des fréquences, par un système de commutation à diode des circuits résonnants.

Les capacités de commutation en VHF feraient que :

1. Limite de la plage d'accord.
2. Limite de sélectivité.

De fait, chaque bande à ses propres polarisations, circuits de corrections, et filtres de bande.

L'étage FI du Tuner combiné, contient la démodulation audio et vidéo.

STANDARDS TV

SYSTEM	B	D	G	H	I	K	K1	L	M	N
System Destination	CCIR system Western Europe	OIRT system Eastern Europe	CCIR system Western Europe	CCIR system Western Europe	English System	OIRT system Eastern Europe	OIRT system Eastern Europe	French system	American System Japan USA	American System 625 Argentina Uruguay
Balayage	625 lines	625 lines	625 lines	625 lines	625 lines	625 lines	625 lines	625 lines	525 lines	625 lines
Fréquence Verticale	50Hz	50Hz	50Hz	50Hz	50Hz	50Hz	50Hz	50Hz	60Hz	60Hz
Entrelacement	2/1	2/1	2/1	2/1	2/1	2/1	2/1	2/1	2/1	2/1
Trames	25	25	25	25	25	25	25	25	25	25
Fréquence Horizontale	15.625kHz	15.625kHz	15.625kHz	15.625kHz	15.625kHz	15.625kHz	15.625kHz	15.625kHz	15.750kHz	15.625kHz
Largeur de bande Video	5MHz	6MHz	5MHz	5MHz	5.5MHz	6MHz	6MHz	6MHz	4.2MHz	4.2MHz
Largeur de bande du Canal	7MHz	8MHz	8MHz	8MHz	8MHz	8MHz	8MHz	8MHz	6MHz	6MHz
Porteuse Audio	+5.5MHz	+6.5MHz	+5.5MHz	+5.5MHz	+6.0MHz	+6.5MHz	+6.5MHz	+6.5MHz	+4.5MHz	+4.5MHz
Canal Adjacent relatif à fp	-1.25MHz	-1.25MHz	-1.25MHz	+/-2.83MHz	-1.25MHz	-1.25MHz	-1.25MHz	-1.25MHz	-1.25MHz	-1.25MHz
Bande Supérieure	5MHz	6MHz	5MHz	5MHz	5.5MHz	6MHz	6MHz	6MHz	4.2MHz	4.2MHz
Bande Inférieure	0.75MHz	0.75MHz	0.75MHz	1.25MHz	1.25MHz	0.75MHz	1.25MHz	1.25MHz	0.75MHz	0.75MHz
Modulation Video & Polarité	AM/Neg	AM/Neg	AM/Neg	AM/Neg	AM/Neg.	AM/Neg	AM/Neg	AM/Pos	AM/Neg.	AM/Neg.
Modulation Audio	FM +/- 50kHz	FM +/-50kHz	FM +/- 50kHz	FM +/- 50kHz	FM +/- 50kHz	FM +/-50kHz	FM +/-50kHz	AM	FM +/- 25kHz	FM +/- 25kHz
Désaccentuation Audio	50mS	50mS	50mS	50mS	50mS	50mS	50mS	None	75mS	75mS

8. CONTROLE DES COMPOSANTS

Toutes les opérations de traitement du signal sont analysées et contrôlées par un micro contrôleur situé dans le μ P.

Le micron contrôleur supporte les opérations de synthèse et de mise en mémoire.

L'EURO5 a une capacité de stockage de 100 programmes. La logique de fonctionnement de chaque circuit est stockée dans une EPROM externe.

Les données variables sont stockées dans une E²ROM.

Ces trois circuits sont situés sur la PCBE.

Les réglages de l'EURO5 peuvent s'exécuter via le télécommande. Celle-ci génère un mot série pour chaque action. Le signal est démodulé et traité de telle sorte qu'il puisse être appliqué sur le μ P.

Les fonctions locales du clavier sont appliquées en série via la matrice du clavier.

La logique de fonctionnement est stockée dans l'EPROM. Cette EPROM comporte les données requises par les CI concernés, ainsi que l'OSD.

Le mixage des signaux OSD est réalisé par le μ P lui-même.

Le contrôle des opérations logiques s'effectue via trois lignes de BUS :

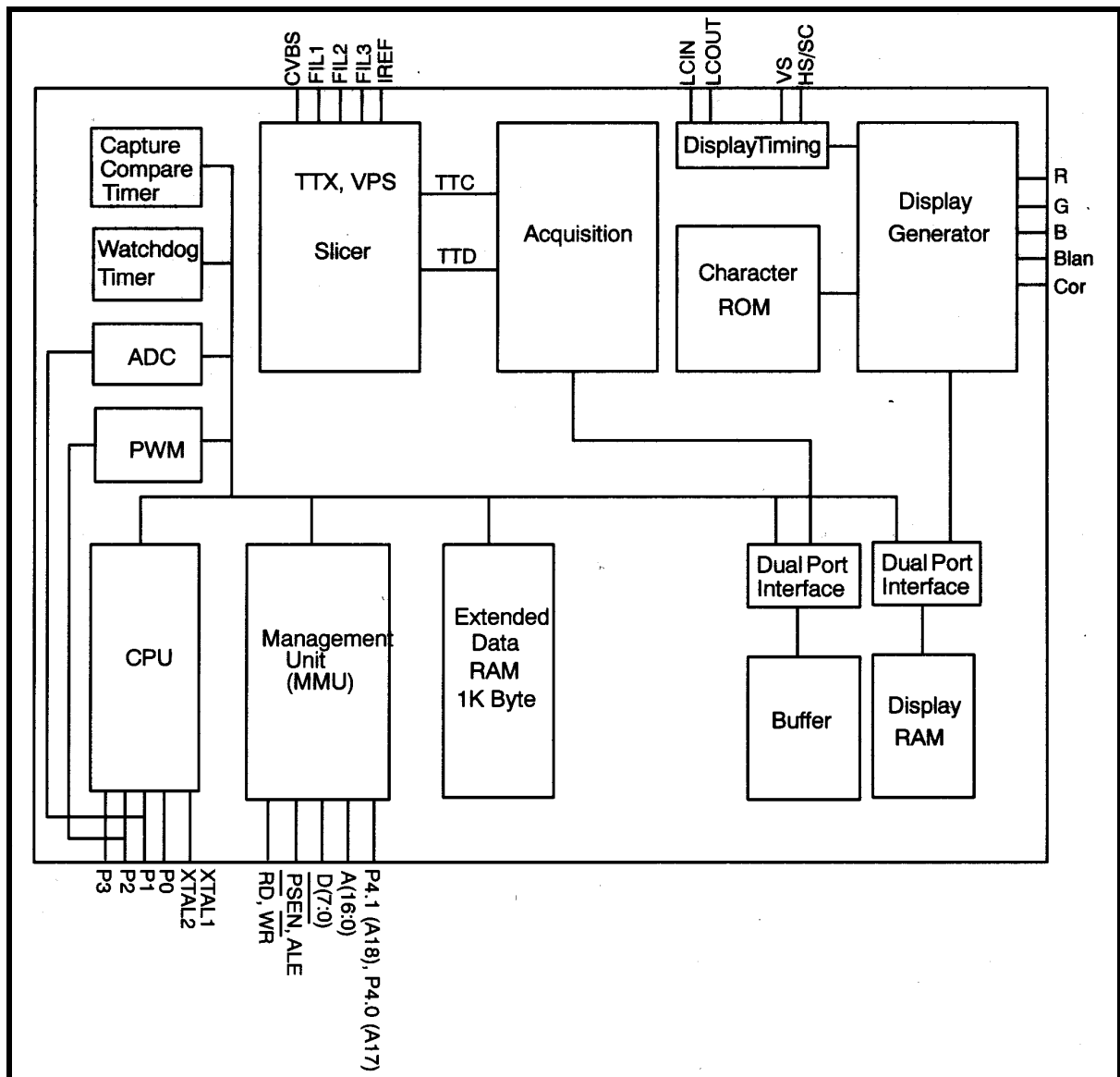
1. I²C BUS 1
2. I²C BUS 2
3. I²C BUS 3

9. MICROPROCESSEUR ET TELETEXTE

Le μ p SDA5450 IC1101 est utilisé en tant que gestionnaire des différents contrôles et en tant que traitement du télétexte.

Il se compose des divers éléments suivants :

- 8 bit C500-CPU.
- 18MHz d'horloge Interne.
- 8 bit de donnée // et 16 à 19 bit de Bus adresse.
- Deux Timers 16 bit
- Timer watch Dog.
- Timer de comparaison de capture pour la réception et le décodage IR.
- Interface Série.
- RAM on-chip de 256 bytes.
- RAM d'affichage on-chip de 16 bytes.
- Extension de RAM on-chip 1 byte.
- 6 Canaux de PWM 8 bits.
- 2 Canaux de PWM 16 bit.
- 4 entrées multiplexées ADC sur 8 bits de résolution.
- 1 port 8 bits In/Out à drain ouvert et émulation bus I²C.
- 2 ports 8 bits In/Out multifonction.
- 1 port de travail 4 bits utilisable, entre autre, comme entrée numérique ou analogique.
- 1 port In/Out 3 bits avec fonctions optionnelles.
- 1 port 3 bits In/Out avec option d'extension d'adressage RAM/ROM jusqu'à 512 KBytes.



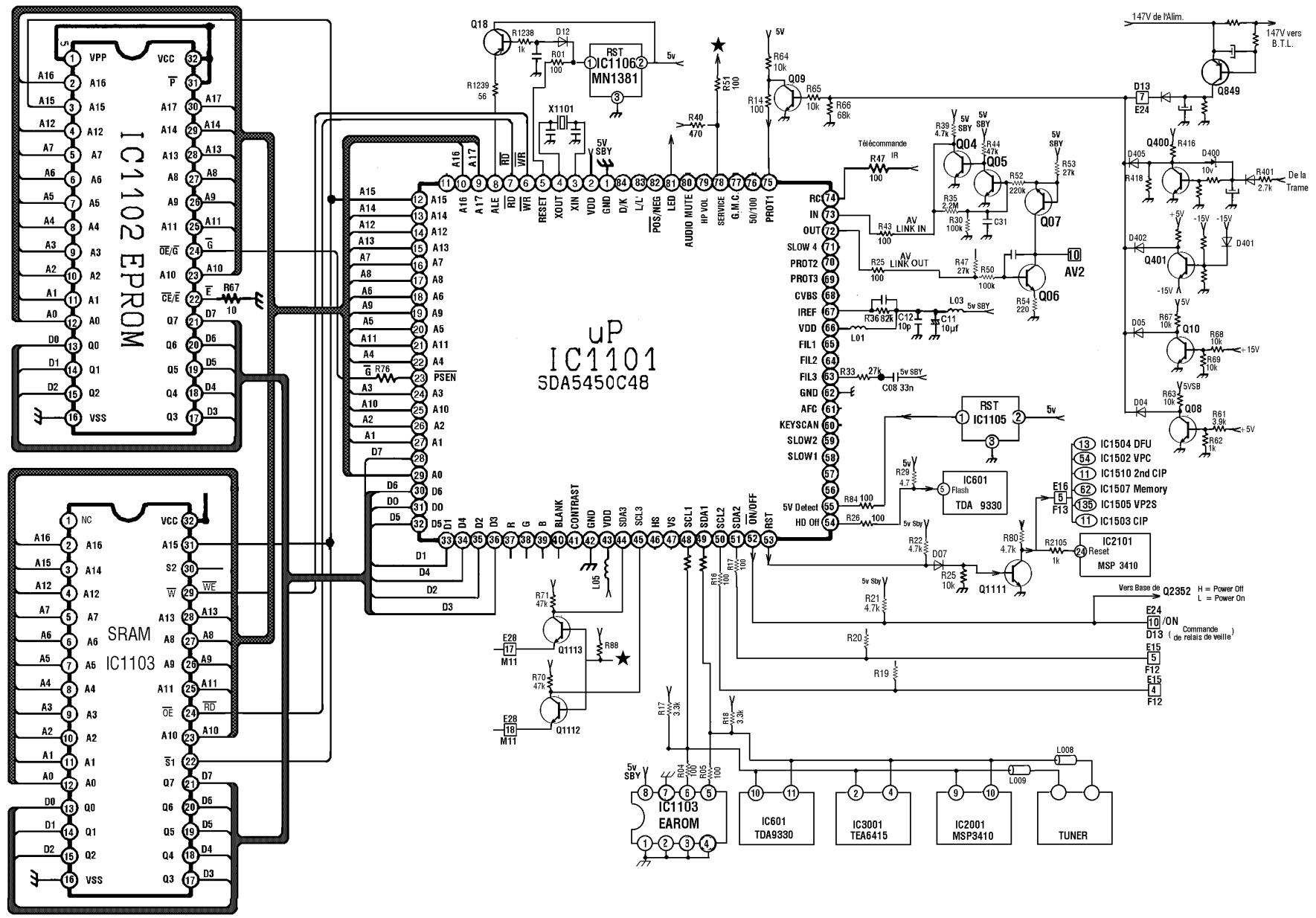
9.1. Etage Microprocesseur.

Broches	Etat	Libellé	Fonction
1		GND	
2	IN	VDD	
3 et 4	IN	XIN/XOUT	Quartz extérieur 6MHz, X1101. Les fréquence de bus I ² C sont obtenues par division
5	IN	Reset	Au moment de la mise sous tension ou en cas de perte d'alimentation, IC1106 broche 1 procure le signal de Reset. Cette broche fournit un 5 v. Si la tension d'alimentation est sous 4.3V, la broche 5 d'IC1101 est maintenue à niveau bas.
6		WR	Cette entrée d'écriture est utilisée en liaison avec la SRAM IC1103.
7		RD	Cette entrée de lecture est utilisée en liaison avec la SRAM IC1103.
8		ALE	Niveau Haut pendant le reset
9, 10.	OUT	A17/A16	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
12, 13, 14 15.	OUT	A15 - A14 A12 A13	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
16, 17	OUT	A7, A8	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
18	OUT	A6	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
19	OUT	A9	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
20	OUT	A5	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
21	OUT	A11	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
22	OUT	A4	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
23	OUT	<u>PESN</u>	Validation stockage de l'EPROM.
24	OUT	A3	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
25	OUT	A10	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
26, 27	OUT	A1 - A2	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
28	OUT	D7	Lignes de Données 8 bits de l'EEPROM et de la SRAM
29	OUT	A0	Lignes d'adresse de l'EPROM IC 1104 et SRAM IC1103
30,	OUT	D6	Lignes de Données 8 bits de l'EEPROM et de la SRAM
31		D0	Lignes de Données 8 bits de l'EEPROM et de la SRAM
32		D5	Lignes de Données 8 bits de l'EEPROM et de la SRAM
33, 34, 35 36		D1 /4 D2/3	Lignes de Données 8 bits de l'EEPROM et de la SRAM
37, 38, 39	OUT	R, G, B	Ces lignes RGB permettent d'afficher les signaux télétextes et les informations d'OSD.
40	OUT	Blanking	Permet le contrôle de l'insertion des signaux télétextes et OSD
41		Contraste	N.C.
42		GND	
43		VDD	
44		SCL3	Circuits connectés au Bus I ² C-3
45		SDA3	Broches 10 et 12 I/O AV1

46	IN	HS	Synchronisation du signal CVBS à 31.2KHz utilisée pour extraire les signaux télétextes et les afficher.								
47	IN	VS	Synchronisation du signal CVBS à 100Hz utilisée pour extraire les signaux télétextes et les afficher.								
48	OUT	SCL1	Circuits connectés au Bus I ² C-1 :								
49	IN/ OUT	SDA1	<ul style="list-style-type: none"> • EAROM IC1102. • IC601 TDA9330. • IC3001 TEA6415. • IC2101 MSP3410. • Etage Tuner et FI. 								
50	OUT	SCL2	<ul style="list-style-type: none"> • IC1502 VPC • IC1503 1^{er} CIP • IC1505 100Hz, Zoom • IC1504 DFU • IC1510 2^{ème} CIP 								
51	IN/O UT	SDA2									
52	OUT	ON/OFF	<ul style="list-style-type: none"> • Lors de la mise en veille, Niveau Bas (L) en ON vers la base de Q848. • Niveau Haut (H) en OFF 								
53	OUT	Reset	<p>A la mise sous tension les circuits ont leurs entrées de Reset à niveau Bas (L) via Q1111, D1102 qui est saturé par la tension 5v SB via R1122.</p> <p>Le passage à niveau Bas de la broche 53 bloque Q1111, les broches de Reset des CI sont à niveau Haut via R1180.</p>								
54	OUT	HD-OFF	Sécurité Horizontale . Niveau haut appliqué sur la broche 5 d'IC601 TDA9330 (Flash) coupe le balayage.								
55	IN	Reset IN 5V detect.	<p>Veille ⇒ ON :Au Changement d'état les données doivent être rechargées.</p> <p>Le µP doit être à même de fournir ces données.</p> <p>C'est le rôle d'IC1105 qui fournit un 5V à la broche 55.</p>								
56											
57											
58	IN	Slow1	<p>Broche 8 d'AV1 appliquée sur la broche 58 via R1151, R1124, C1113, D1103 et R1126. Les commutations internes sont réalisées par IC3001 contrôlé par le µP via le Bus I²C.</p> <table border="1"> <thead> <tr> <th>Voltage</th> <th>Fonction</th> </tr> </thead> <tbody> <tr> <td>0.00 - 1.23</td> <td>Pas de signal</td> </tr> <tr> <td>1.25 - 3.19</td> <td>16 : 9</td> </tr> <tr> <td>3.21 - 5.00</td> <td>4 : 3</td> </tr> </tbody> </table>	Voltage	Fonction	0.00 - 1.23	Pas de signal	1.25 - 3.19	16 : 9	3.21 - 5.00	4 : 3
Voltage	Fonction										
0.00 - 1.23	Pas de signal										
1.25 - 3.19	16 : 9										
3.21 - 5.00	4 : 3										
59	IN	Slow2	<p>Broche 8 d'AV2 appliquée sur la broche 59 via R1141, R1131 et D1102, C1109. Les commutations internes sont réalisées par IC3001 contrôlé par le µP via le Bus I²C.</p> <table border="1"> <thead> <tr> <th>Voltage</th> <th>Fonction</th> </tr> </thead> <tbody> <tr> <td>0.00 - 1.23</td> <td>Pas de signal</td> </tr> <tr> <td>1.25 - 3.19</td> <td>16 : 9</td> </tr> <tr> <td>3.21 - 5.00</td> <td>4 : 3</td> </tr> </tbody> </table>	Voltage	Fonction	0.00 - 1.23	Pas de signal	1.25 - 3.19	16 : 9	3.21 - 5.00	4 : 3
Voltage	Fonction										
0.00 - 1.23	Pas de signal										
1.25 - 3.19	16 : 9										
3.21 - 5.00	4 : 3										

60	IN	Clavier	Cette broche est maintenue à niveau haut par la résistance de Pull-Up R1061 (<i>R1071 sur les modèles avec M-Board</i>). La commande s'effectue par variation de tension via un diviseur résistif.
61	IN	AFC	En mode recherche le μ P IC1101 détecte la tension d'AFC issue de l'étage Tuner/FI. Lorsque la tension d'AFC atteint le milieu de sa variation le μ P arrête l'opération de recherche et maintient la donnée résultante.
62		GND	
63, 64, 65	IN	FLT 1-3	FLT3 (63) est utilisé pour le glissement de phase du VPS ou des données télétexte. FLT2 (64) filtre du PLL de la plage de capture du VPS. FLT1 (65) filtre du PLL de la plage de capture du télétexte.
66		VDD	
67	IN	Iref	Courant de référence du PLL
68	IN	CVBS in	Signal composite vidéo utilisé pour le traitement télétexte.
69		Prot3	
70		Prot2	
71	IN	Slow4	Broche 8 d'AV4 appliquée sur la broche 71 via R1140, R3074 et D1101, C1108 et Q1116. Les commutations internes sont réalisées par IC3001 contrôlé par le μ P via le Bus I ² C. Il n'y a pas de contrôle d'aspect sur cette broche.
72	OUT	AV_Link	Voir § 9.1.3
73	IN	AV_Link	Voir § 9.1.3
74	IN	RC	Entrée de la télécommande IR sous forme de mot série. Le signal issu d' IC1081 N-Board (<i>IC1011 pour M-Board</i>) est appliqué sur Q1105.
75	IN	Prot. 1	Charge d'entrée à niveau Haut (H) via R1164. Commutation du TV en Veille, par niveau bas (L). Les sécurités sont : <ul style="list-style-type: none"> • Frein de faisceau ABL. Le courant est mesuré via la broche 43 d'IC601. Q849 et Q1109 sont bloqués, la broche 75 à Niveau Haut (H) via R1164. Lorsque la limite de contrôle est atteinte les TZ Q849 et Q1109 se saturent, la broche 75 passe à Niveau Bas. Le TV passe en veille. • Détection des alimentations. Les lignes d'alimentation qui sont contrôlées sont : <ul style="list-style-type: none"> ▪ +147V via Q3908. -15 via Q401. ▪ +15V via Q1101. +5V via Q1108. L'ensemble forme un OU connecté en liaison avec la base de Q1109. En fonctionnement normal le TZ Q1109 est bloqué. En cas d'absence, le TZ conduit, un niveau (L) est appliqué sur 75 D'IC1101. <ul style="list-style-type: none"> • Protection verticale. La protection est assurée par Q400. Le TZ est saturé. Si une erreur survient dans la trame, Q400 est Off. Un niveau haut est appliqué via R416, D405 sur la base de Q1109 qui se sature et entraîne la broche 75 vers un niveau Bas.

76		Odd/Even	
77	OUT	G.M.C	La sortie 77 Geo-Magnetic Correction est utilisée sur les écrans 16/9. (IC1901, Q1901).
78	OUT	Mode service	Cette sortie passe à niveau Haut en Mode Service. Elle valide le transfert du Bus I ² C-3 via les TZ Q1112 et Q1113 et AV1 broches 10 et 12.
79	OUT	Volume Casque	La sortie est appliquée directement sur la broche 9 d'IC2351.
80	OUT	Audio Mute	
81	OUT	Led	Commande de la Led de veille (D1071 ou D1061 sur PCB M) soit via Q1052 PCB E ou Q1062 PCB M
82	OUT	Pos/Neg	Permet de choisir entre modulation positive (SECAM) ou négative (NTSC/PAL)
83	OUT	L/L'	Utilisé seulement sur les modèles SECAM.
84	OUT	D/K	Permet de choisir, via Q104, le type de son D/K.



9.1.1 Q-LINK.

- Broche 73 - AV_LINK_IN / Broche 72 - AV_LINK_OUT

La fonction AV LINK IN/OUT est utilisée pour contrôler et transférer les fonctions d'utilisation entre TV/VCR, via la 21 Broche d'AV2.

La ligne de contrôle issue de la broche 10 d'AV2 est appliquée sur les TZ Q1103, Q1104, Q1106 et Q1107.

Dans le cas d'un transfert de données du TV vers le VCR, la broche 72 du μ P IC1101 est utilisée, via Q1106.

Dans le cas d'un transfert de données du VCR vers le TV, les données sont appliquées via : Q1107, Q1104 et Q1103 sur la broche 73 du μ P IC1101.

Les types de données et de fonction transférées sont :

- Mise en marche automatique du TV à la lecture d'une cassette.
- Mise en veille automatique du VCR à l'extinction du TV, sauf si le VCR est en enregistrement.
- Affichage du protocole de réglage du VCR.
- Transfert de la sélection des pays.

Les fonctions ci-dessus ne peuvent se réaliser qu'avec des produits de la marque.

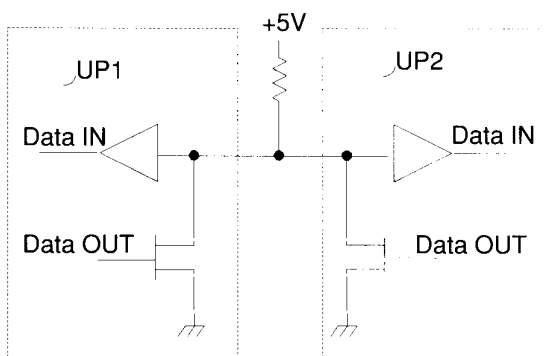
Les fonctions ci dessous peuvent se réaliser entre produits de différentes marques.

- Transfert des données de préréglage Tuner (TV vers VCR)
- Fonction ce qui est visualisé, est enregistrable (TV direct).

9.1. 2. BUS I²C.

- Broche 48, 49 SCL1, SDA1
- Broche 50, 51 SCL2, SDA2
- Broche 44, 45 SCL3, SDA3

Le BUS I²C, constitué d'une ligne d'Horloge et d'une ligne de Data, communique de façon bidirectionnelle avec les différents μ P et périphériques associés. Le nombre d'interconnexions est, de la sorte, réduit.

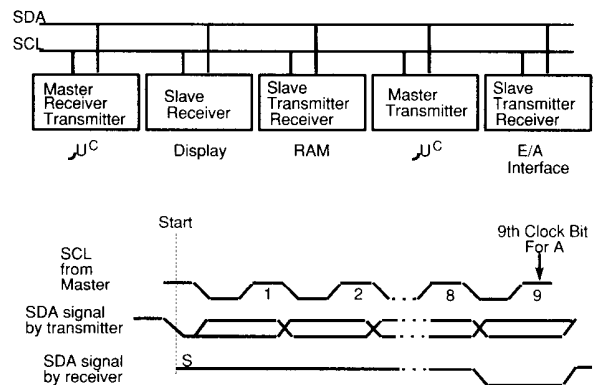


Les deux lignes sont en haute impédance à niveau Haut, via les résistances de Pull-Up

Le transfert est initialisé, au moment de la coïncidence entre un Niveau Haut d'Horloge et un niveau transitoire Haut / Bas du signal de Donnée. (Start Condition).

Le transfert des données s'effectue durant le Niveau de l'horloge.

La fin de transmission correspond à la coïncidence entre un Niveau Haut d'Horloge et un niveau transitoire Bas / Haut du signal de Donnée. (Stop Condition).



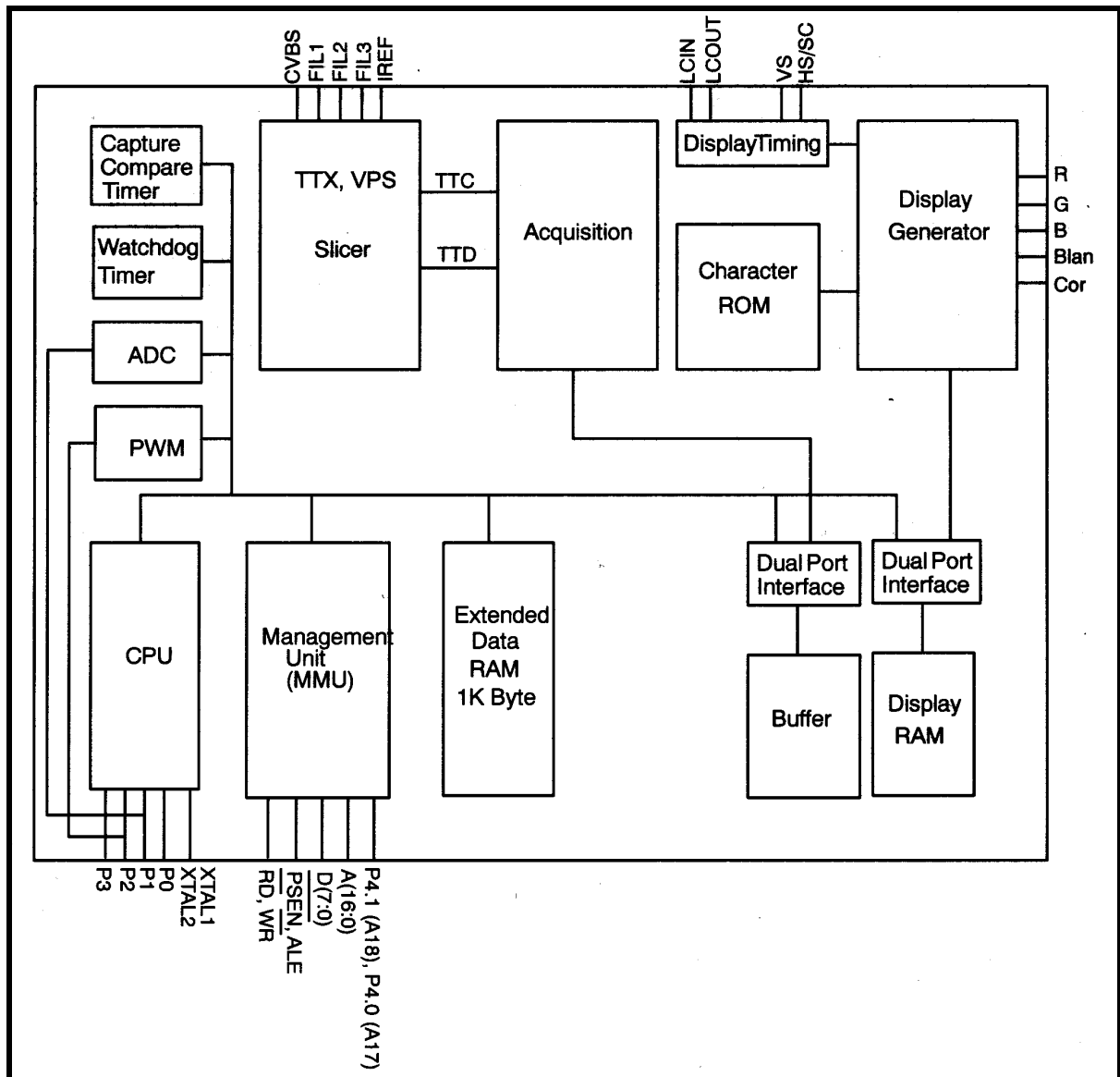
9.2 Télétex.

Généralité.

Comme mentionné précédemment le μP réalise le traitement télétex. Pour réaliser cette fonction les éléments suivants sont requis.

- Détection du Télétex (TTX) Vidéo Programme Signal (VPS/PDC).

- Etage d'acquisition permettant la réception simultanée du TTX et du programme VPS/PDC
- Verrouillage de l'information TTX à l'Horloge temps générale.
- Générateur de Caractère ROM permettant l'affichage du texte.
- Etage d'affichage du texte.



9.2.1. Fonctionnement

Le signal composite CVBS est appliqué broche 68 d'IC1101. Il est appliqué sur l'étage de sélection, d'où les données TTX sont extraites.

Cette fonction d'extraction est réalisée par un circuit de synchro analogique, couplé à un PLL générateur d'horloge.

Un autre PLL est utilisé pour l'échantillonnage du signal TTX.

A la sortie de l'extraction, le flux de Bits (Bit Stream) est appliqué sur l'étage d'acquisition, où il est transformé en flux d'octet (Byte Stream) et Code Trame (Framing Code)

Après la détection du Code Trame, le Mot d'Etat (Status Word) est généré. Il est utilisé pour identifier le type de donnée et la qualité du signal reçu.

Les Données TTX sont appliquées sur l'étage Dual Port Interface. Sous contrôle du μ P les données sont dirigées vers la RAM d'affichage.

Cette Ram sert au stockage temporaire des données pour compenser le temps de traitement de la SRAM extérieure.

Les données sont gérées par l'unité mémoire, puis appliquées sur la SRAM IC1103, via les lignes de données D0-D7, après que l'adresse de localisation ait été transmise.

Lorsque les données sont extraites les informations sont transmises au μ P puis à l'étage d'affichage.

L'étage d'affichage, sélectionne les pixels d'information de la ROM de caractère et les transforme en signaux RGB.

Le Générateur de caractère comporte un décodeur de contrôle et de caractère, une interface RAM, les signaux de Blanking et RGB.

Pour permettre au générateur de caractères d'exécuter le traitement du signal TTX, il est nécessaire de créer une Horloge pour les pixels.

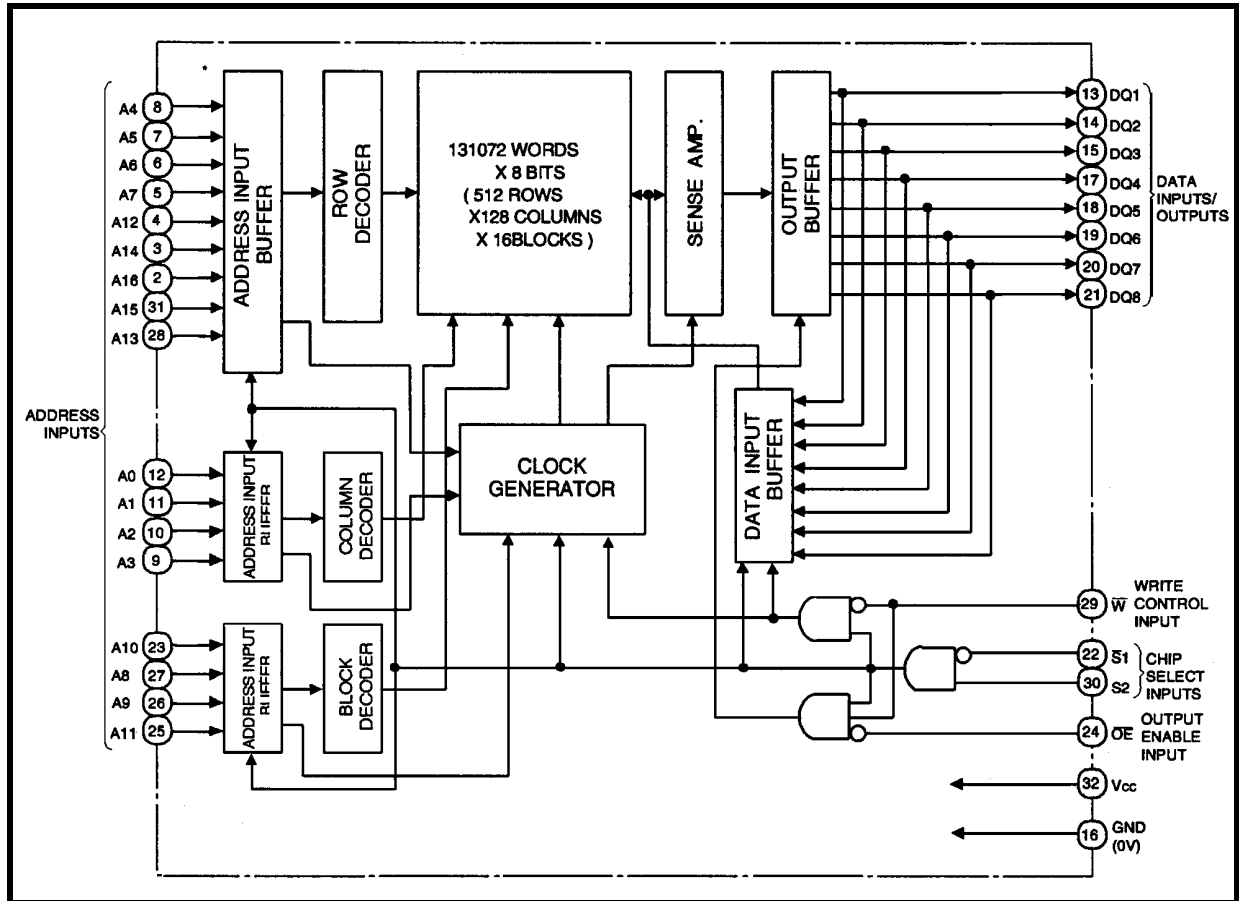
Cette horloge est réalisée de manière interne asservie par les signaux de synchro Horizontale et Verticale, broche 46 et 47.

Les données TTX sont converties en RGB et sortent broche 27 (R), 38 (G), 39 (B), le signal de Blanking broche 40. Ces signaux sont appliqués sur IC601.

10. SRAM.

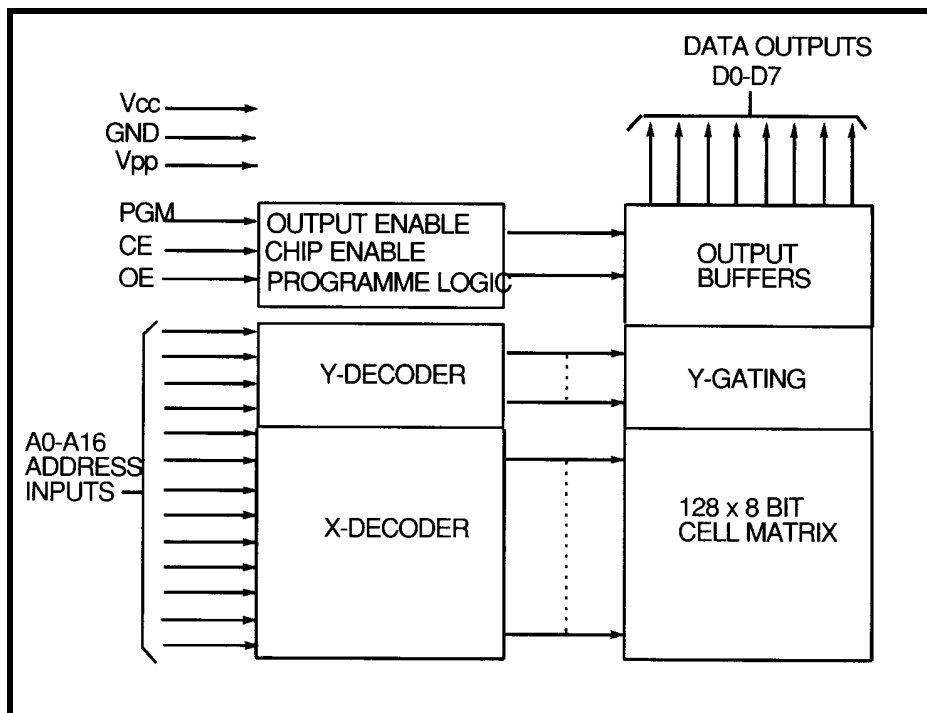
La SRAM utilisée sur le châssis EURO5 à une capacité mémoire de 100 pages.

La capacité mémoire est de 128Kbyte. Les données sortent sur les broches D0 - D7 l'adressage se fait via les broches A0 - A17, les opérations d'écriture et de lecture sont exécutées via les commandes WD (Write Data) et RD (Read Data).



11. EPROM

La programmation du TV (Software) est stockée dans une mémoire non volatile de 2Mbits. Le transfert des données s'effectue via les broches Q0 - Q7. La mémoire est validée par l'ordre PSEN puis l'adressage s'effectue via A0 - A17.



12. EAROM

Les données stockées comportent les données programme, les réglages utilisateur de volume, de lumière, et contraste. Lecture et Ecriture sont contrôlées par le μP IC1101, via le Bus I²C1.

IC1101 génère un mot d'adresse de 8 Bits précédé par un bit de Start Pulse.

Le mot de 8 bits se décompose en un mot de 7Bits pour l'adresse et un Bit pour l'extraction.

Le mot d'adresse est comparé avec le poids binaire d'adresse du CI correspondant. La validation se réalise par le Bit de reconnaissance (Acknowledge).

La localisation mémoire est alors transmise par le circuit Maître (μP).

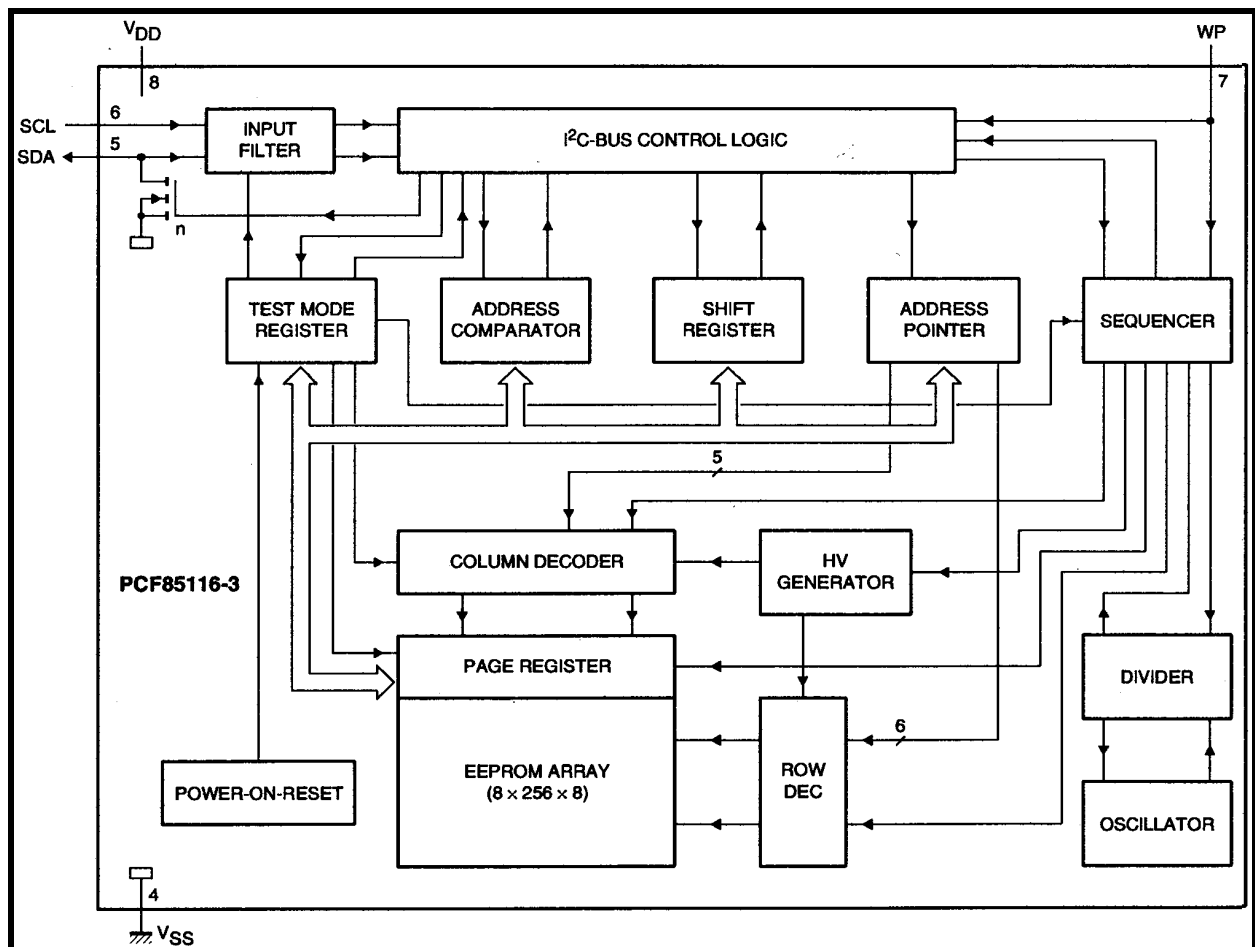
L'adresse est constituée d'un mot de 8 Bits dont la réception est accusée par un Bit de reconnaissance.

Les 8 Bits de données sont alors envoyés de ou vers la mémoire. La réception est confirmée par le CI concerné.

Après la transmission du dernier Bit de reconnaissance la mémoire passe en mode lecture.

Durant la période de stockage la fonction IN du SDA est basculée.

A la mise sous tension les données système sont extraites de la mémoire par le μP via le Bus I²C1



13. TRAITEMENT SYNC. ET DISPLAY.

Le CI IC601 TDA9330 du châssis EURO5 représente l'étage de fin du récepteur TV. Il se compose des parties suivantes.

- **Processeur de contrôle RGB :**

Le signal d'entrée YUV, ainsi que deux types de sources RGB accompagnées de leurs signaux commutations, sont traités par le processeur.

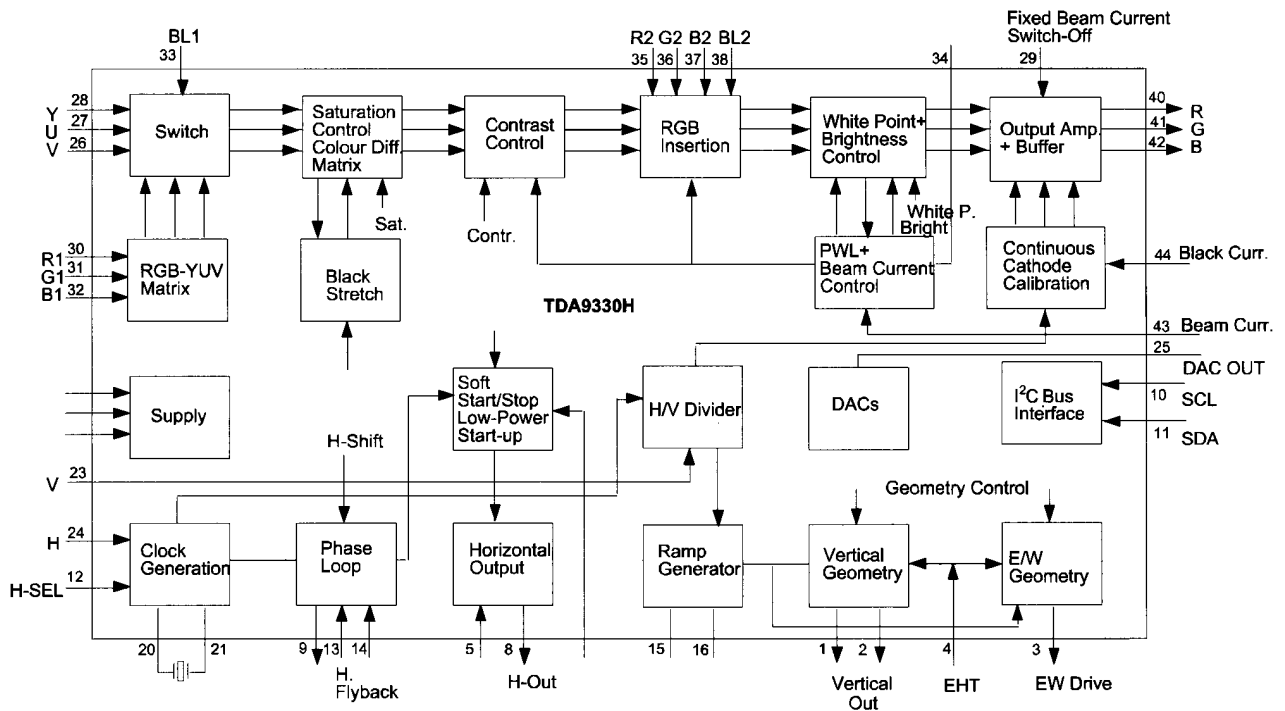
Le signal YUV traite du signal TV reçu, alors que les entrées RVB servent à l'affichage du Télétex de l'OSD et du PIP.

- **Traitement programmable de la déflection.**

Cet étage , à partir de l'horloge interne génère les signaux de balayage, horizontal, vertical et Est / Ouest.

Ce circuit est capable de fonctionner en 50/60hz ou 10/120Hz.

La tension d'alimentation d'IC601 est de 8volts.



13.1. Description des fonctions.

13.1.1. Etage RVB.

IC601 peut recevoir trois types de signaux d'entrée.

- Les signaux d'entrée YUV issus de la PCB F via les connecteurs F14 et E17, broche 5, 6, et 7 sont appliquée broches 26, 27 et 28 d'IC601. Ils permettent l'affichage du signal TV.
- Les signaux d'entrée RVB 1 issus de la PCB G sont appliqués sur les broches 30, 31 et 32 d'IC601.
Les signaux issus de la PCB G transitent par les connecteurs G14, E21, broches 1, 2 et 3. Le signal de commutation rapide correspondant est appliqué broche 33 d'IC601.
- Les signaux d'entrée RVB 2 issus du μ P IC1101 broches 37, 38 et 39, sont appliqués sur les broches 35, 36 et 37 d'IC601.
Ces signaux RVB sont affectés à l'affichage de l'OSD et du Télétex.
Le signal de commutation rapide, broche 40 d'IC1101, est appliqué broche 38 d'IC601.

Après traitement, les signaux RVB sortent broches 40 (R), 41 (V), 42 (B), pour être appliqués sur la PCB Y.

13.2. Synchro et Déflexion.

13.2.1. Généralité.

Les signaux horizontaux et verticaux, (HA) et (VA), appliqués via les TZ Q608 et Q607, broche 24 et broche 23 d'IC601 produisent les signaux de commande de balayage vertical et horizontal ainsi que le signal de correction Est / Ouest.

Les impulsions à 100Hz sont issues du processeur DFU, IC 1504, et les impulsions à 31.25KHz sont issues du circuit CIP, IC15010.

13.2.2. Commande Horizontale.

Le signal de commande ligne est généré à partir de l'impulsion horizontale, broche 24, et du quartz à 12MHz, X601, broches 20 et 21.

L'état de la broche 12 permet de choisir le type de balayage ligne correspondant à 50Hz (L) ou 100Hz. ($1 \cdot f_H$, ou $2 \cdot f_H$).

La commande ligne résultante est disponible broche 8 d'IC 601, l'asservissement ligne s'effectuant broche 13.

13.2.3. Commande verticale et Est / Ouest.

Le signal de synchro verticale et Est / Ouest est généré par le diviseur vertical à partir de l'oscillateur ligne, lui-même asservi par le signal 100Hz appliqué broche 23 d'IC601.

Le signal de synchro commande un générateur de rampe interne dont le signal sort broche 1 et 2 d'IC601, couplé en liaison directe avec le circuit de puissance trame IC451.

Le signal de commande Est / Ouest sort broche 3.

IC 601 reçoit en retour du transfo THT, broche 1, une impulsion ligne qui est appliquée sur l'entrée de compensation broche 4.

Ceci permet l'asservissement de la correction Est / Ouest aux variations de courant de faisceau.

13.3. Etage de contrôle.

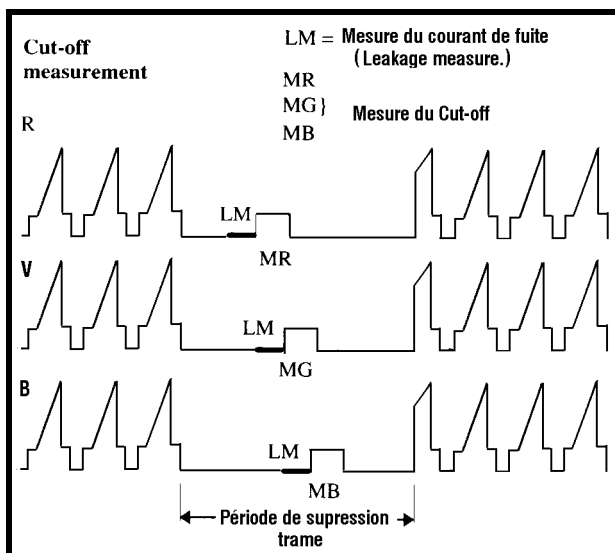
13.3.1. Cut - Off.

La mesure du courant de fuite et du Cut-Off sont réalisés conjointement par IC601 et le μP IC1101, afin d'ajuster les amplitudes de sortie aux variations de vieillissement.

Le circuit de base du Cut-Off constitue un circuit d'analyse des variations de la tolérance des composants et des effets d'appauvrissement et de distorsion dus au tube.

Il offre aussi les avantages suivants :

- Compensation automatique du niveau de noir.
- Prévention des erreurs de pureté durant le chauffage du tube, et stabilisation du vieillissement excessif durant les premières heures de fonctionnement.



Immédiatement après le retour trame, le courant de fuite est mesuré dans la partie infra noir, avant la mesure du courant de cathode.

Pour maîtriser les petites variations de courant de fuite pouvant causer des distorsions dans la mesure du Cut-Off, la mesure du courant de fuite s'effectue avant la mesure des trois courants de noir.

La valeur du courant de fuite est appliquée sur la broche 44 d'IC601. Le résultat est stocké en interne.

Durant la mesure du courant de noir les impulsions de mesure des amplitudes de sortie RVB sont appliquées au tube via l'étage de sortie.

Ces courants de noir sont utilisés par le circuit de régulation interne d'IC601. Le résultat de la mesure, issu des amplis de cathode, est alors appliqué en contre réaction sur la broche 44 d'IC601.

13.3.2. Limitation du courant de faisceau.

Le circuit TDA9330H contient un circuit de limitation courant (BCL, Beam Current Limiter) et un circuit de limitation des crêtes de blanc (PWL, Peak White Limiter), ces circuits sont tout deux utilisés pour réduire le contraste et la lumière des signaux de sortie RVB.

L'information est recueillie sur la base, broche 1, du transfo ligne, elle est appliquée sur la broche 43 d'IC601 via Q601.

Le circuit de détection de crête consiste en un système de détection interne qui rentre en action lorsque la différence entre le niveau continu présent broche 43 et la mesure du blanc.

Si le blanc dépasse 2.5V lumière et contraste sont réduits.

Pour éviter une détection de crête sur des variations rapides du signal, un circuit passe bas est utilisé, il est connecté broche 34 d'IC601. La limitation du courant de faisceau est aussi analysée par la broche 43.

Le circuit moyenne les tensions mesurées, présentes en broche 43.

Pour une tension située entre 3.5V et 3.0V, le contraste est réduit proportionnellement à la tension détectée broche 43.

Si la tension descend sous 2.0V la lumière est réduite proportionnellement, et le contraste est diminué complètement.

Vers 1V sur la broche 43, la lumière est réduite de 100% et l'écran devient noir.

Pour limiter le courant de faisceau, la base du redresseur THT agit comme un générateur de tension continue vers la broche 43.

La tension est inversement proportionnelle au courant de faisceau.

La broche 43 est > 3.5 lorsque le courant de faisceau est égal à zéro la base de T551 est connecté à la ligne 200V.

En fonctionnement normal le TZ Q601 est bloqué. La capacité C609 broche 43 est chargée à > 4V via D620.

Comme l'enroulement Haute tension du redressement fonctionne comme une masse virtuelle, la base devient plus négative lorsque le courant augmente.

Le transistor Q601 est polarisé et la diode D620 est bloquée. La charge contenue par C609 est réduite, et de fait la tension boche 43 d'IC601 diminue entraînant la limitation.

Pour les modèles 16:9 / 4:3 l'échelle de mesure doit être changée.

Ce changement s'effectue via la broche 25 d'IC601 dont le signal de commande est issu de la PCB D via E24 D13 broche 9. Le signal de commande est appliqué sur la base de Q553.

Lorsque l'image passe d'un format 4:3 sur un 16:9, le courant de faisceau augmente dû à la réduction de la surface d'image.

Pour éviter de passer en mode sécurité, le TZ Q553 est ON et le courant analysé par IC601 est réduit.

13.3.3. Stabilisation de la géométrie.

Pour stabiliser la géométrie contre les variations de courant de faisceau le TZ Q554 et R581 sont utilisés.

La base du TZ Q554 est connectée à la broche 1 de T551.

Au fur est à mesure de l'augmentation du courant de faisceau une tension de plus en plus négative charge C556.

Le TZ Q554 se bloque, R581 est déconnectée du réseau parallèle R582 et R583.

13.3.4. Commutation de la suppression de spot.

A la mise sous tension le +15V est appliqué sur la base de Q604 qui reste bloqué.

Le +15V charge C635 via D601. Le blocage de Q604 entraîne la conduction de Q607 et Q608 les signaux HA et VA sont appliqués sur IC601.

A l'extinction, le TZ Q604 se sature, les TZ Q608, Q607 se bloquent, les signaux HA et VA ne sont plus appliqués sur IC601 ce qui évite un brûlage du tube dû au spot.

14 SORTIES HORIZONTALE ET VERTICALE.

14.1 Driver Horizontal.

Le signal de commande driver sort broche 8 d'IC601 avec un niveau de 1Vpp. Ce signal est appliqué sur la PCB D via E22 et D11 broche 5 (TX-W32D5) ou E33 broche 1 (TX-W28D5) et via C501.

La diode D502 (anti - alignement) permet une décharge rapide de C501 durant la période de blocage de Q502.

L'étage driver est à même de fournir un courant de 0,9 Amp au transfo T501. Pour limiter la surtension un réseau RC est monté en //.

Le transfo Driver fonctionne en opposition. Quand Q502 est saturé, Q552 est bloquée.

14.2. Etage de sortie Horizontal.

La commande de base consiste en une adaptation en très basse impédance via R554 reliée en série au secondaire du transfo driver.

La résistance R569 amortit les surtensions.

Dans la pratique le circuit modulateur à diode Est / Ouest réduit la charge de l'interrupteur Ligne.

Le fonctionnement du TZ ligne lors du balayage, fait qu'il est pris en inverse durant la première moitié du balayage, et en conséquence conduit durant la seconde moitié.

Le TZ ligne est bloqué seulement pendant le retour ligne.

En raison de la faible impédance le courant de base peut évoluer entre + 0.9Amp et -0.9Amp.

On peut admettre que le très fort courant d'émetteur (4.5Amp) entraîne d'énorme transfert de porteur de charge dans les jonctions P-N et N-P. C'est la raison du circuit de commande de base à faible impédance qui permet une évacuation rapide de ces porteurs de charge.

De plus le signal de commande passe de 6µs de retour ligne et 26µs de balayage à 10 µs de retour ligné et 22µs de balayage .

Ceci permet de compenser les imperfections que peuvent entraîner des retards dû au transfo driver.

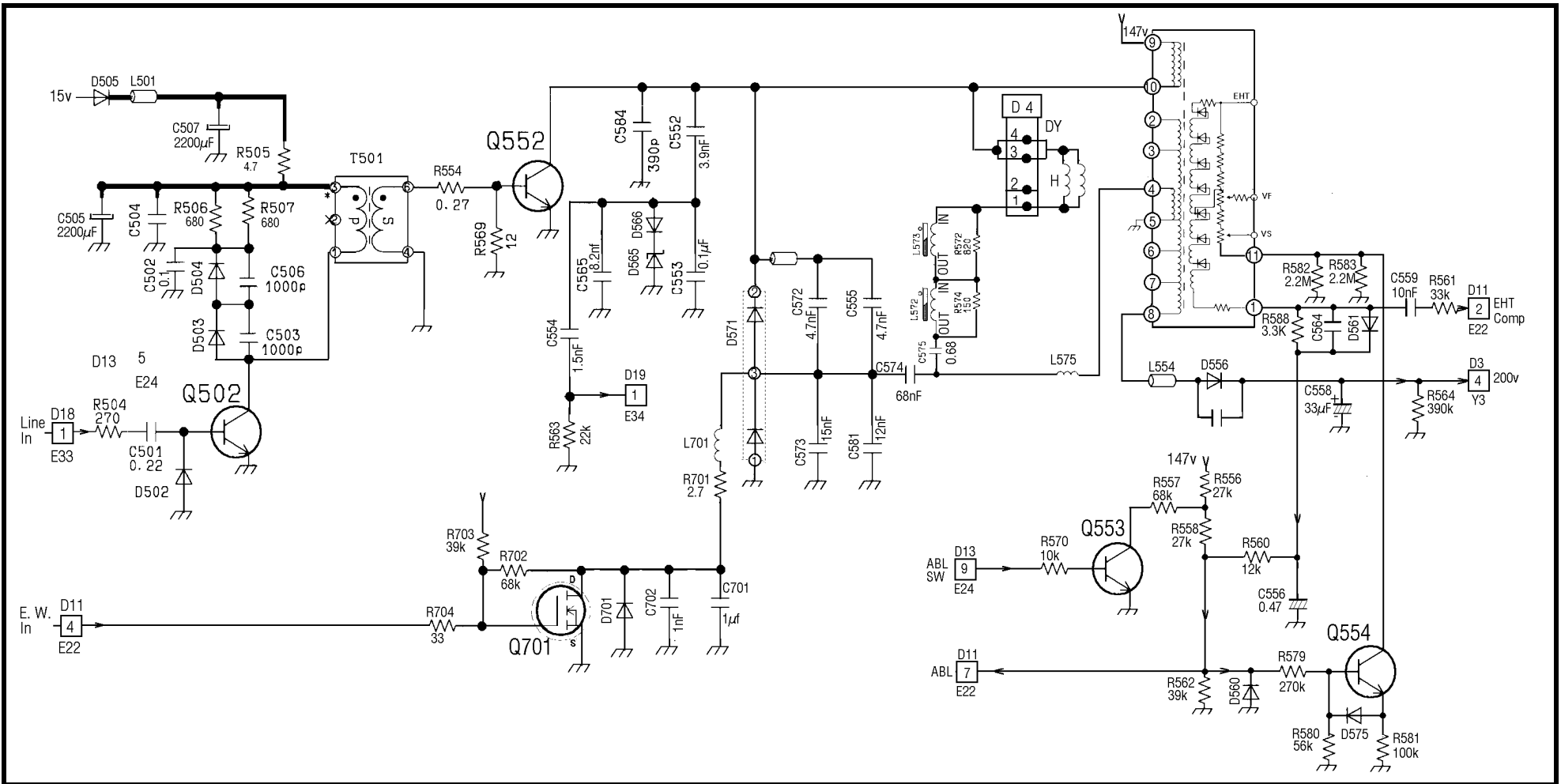
La tension d'alimentation est fixée à 147V. Les signaux résultants de l'oscillation dépendent du circuit résonnant.

Le TZ ligne fonctionne en trois temps. Conducteur inversement conducteur et bloqué.

La tendance naturelle d'un circuit résonnant // et la transformation d'une charge capacitive en énergie magnétique via l'inductance et vice versa c'est la raison pour laquelle, au moment ou la partie négative de la sinusoïde, le TZ ligne redevient conducteur de manière à aligner le signal.

14.3. Correction Est / Ouest.

Le signal de correction Est / Ouest sort de la broche 3 d'IC601 et via E22 , D11 broche 4, est appliqué sur la grille du Mos Fet Q701. En charge de drain on trouve le modulateur à diode constitué des Diodes D571 et capacités associées ainsi que de L701.



14.4 Etage de sortie vertical.

Le châssis EURO5 comporte deux types de circuits de puissance trame.

- LA7845 pour les formats 4:3 équipés de tube Philips.
- LA7876 pour les châssis équipés de tube Quinrix.

14.4.1 LA7845.

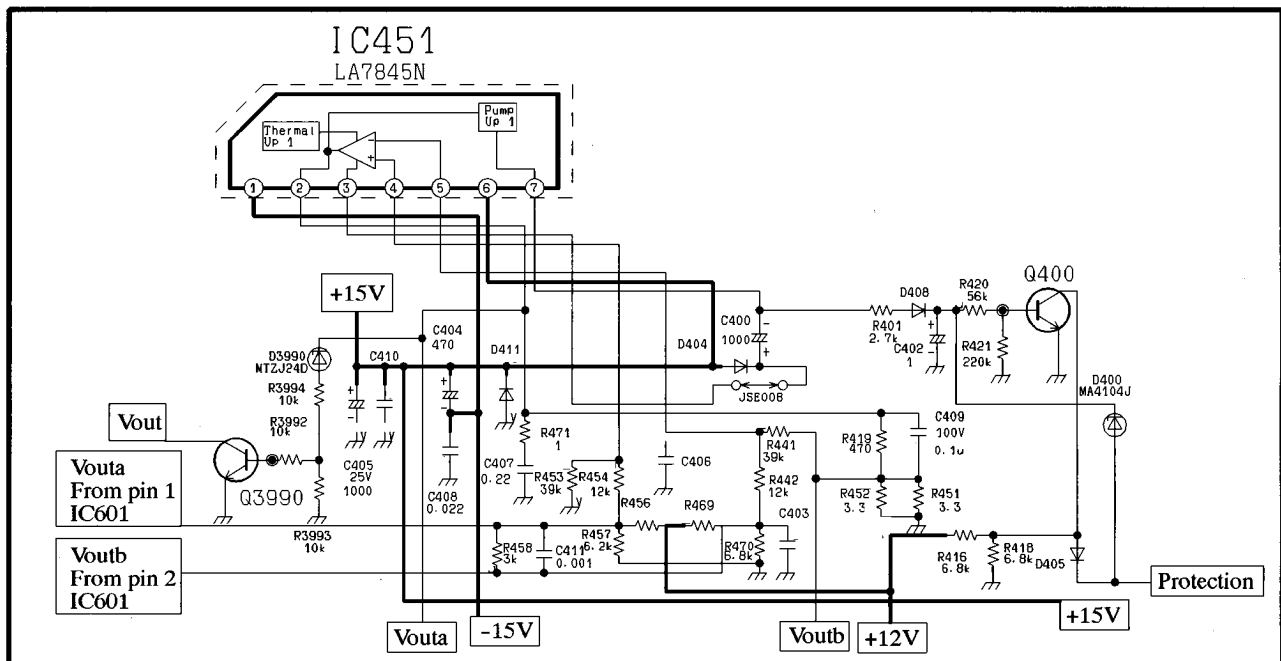
Le signal de commande trame sort broche 1 et 2 d'IC601. il est appliqué sur les broches 4 et 5 d'IC451

La sortie de l'ampli verticale se fait broche 2. Le gain de l'ampli Op interne est contrôlé par le taux de CR via R441 connecté entre les broches 2 et 5.

IC451 comporte un circuit d'alignement (Pump-Up) qui permet de fournir le retour trame. Ceci est nécessaire, car l'énergie demandée durant le retour trame est plus importante. Cet apport d'énergie est réalisé en doublant la tension d'alimentation.

Durant le balayage la capacité de Bootstrap C400 est chargée à la tension d'alimentation via D404. La sortie du circuit Pump-Up broche 7 d'IC451 est à la masse.

L'application sur le coté négatif de la capacité d'une tension continue DC, fait que l'ampli voit sa tension d'alimentation doublée. Dans le même temps, D404 est bloquée ce qui évite que C400 se décharge dans l'alimentation.



14.4.2 LA7876

Le signal de commande trame sort broche 1 et 2 d'IC601. il est appliqué sur les broches 5 et 6 d'IC451

La sortie de l'ampli verticale se fait broche 2.

Le gain de l'ampli Op interne est contrôlé par le taux de CR via R441 connecté entre les broches 3 et 6.

IC451 comporte un circuit d'alignement (Pump-Up) qui permet de fournir le retour trame.

Ceci est nécessaire, car l'énergie demandée durant le retour trame est plus importante. Cet apport d'énergie est réalisé en triplant la tension d'alimentation.

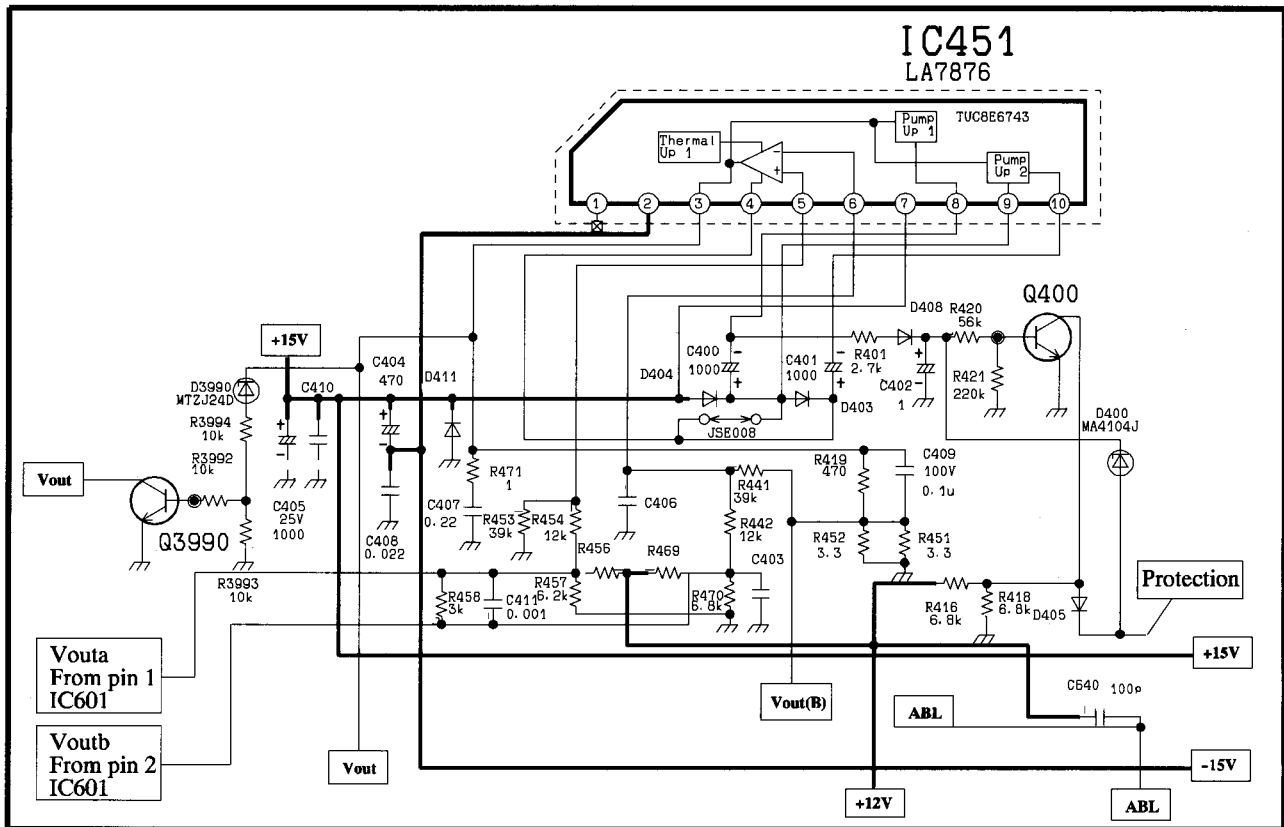
Durant le balayage la capacité de Bootstrap C400, C401 sont chargées à la tension d'alimentation via D404, D403.

Les sorties du circuit Pump-Up broche 8, 9 et 10 d'IC451 sont à la masse.

L'application sur le coté négatif des capacités d'une tension continue DC, fait que l'ampli voit sa tension de sortie, broche 3, tripler. Dans le même temps, D404 D403 sont bloquées ce qui évite à C400, C401 de se décharger dans l'alimentation.

14.4.3. Protection verticale.

En cas de mauvais fonctionnement de l'ampli Trame, la sécurité est assurée par Q400 qui, via q1109 commute à niveau bas la broche 75 D'IC1101.



14.5. Ajustement géométrie

Les Téléviseurs équipés d'un tube 16:9 nécessitent l'utilisation d'une correction de géométrie. Ce circuit permet de réduire les effets du champ magnétique terrestre.

Dans le châssis Euro5 le circuit est constitué d'IC901, comportant deux amp-Op.

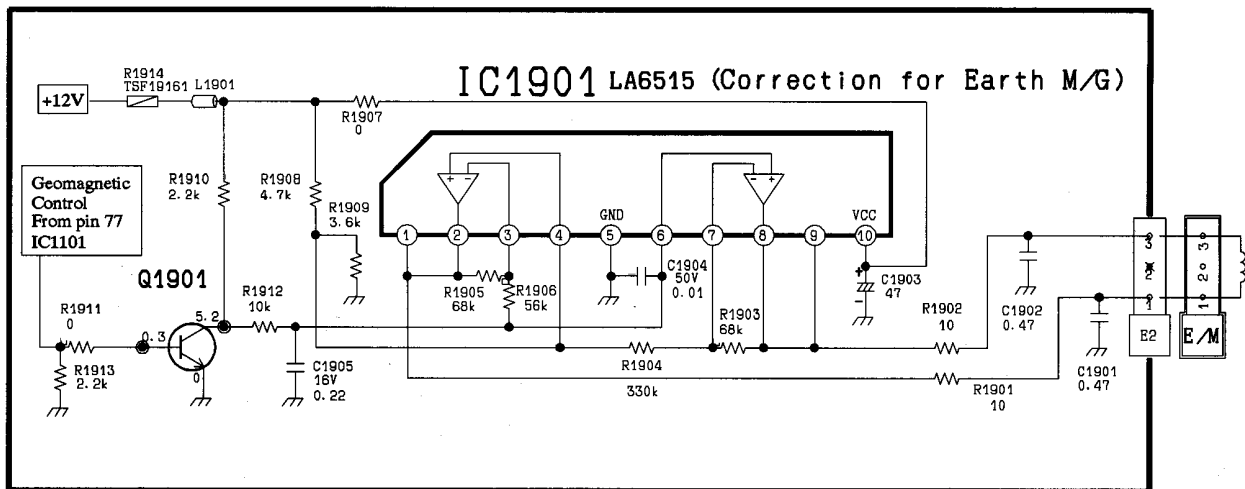
IC901 fournit un courant DC qui permet le réglage par l'utilisateur via l'OSD. Ce réglage se fait sur 4 pas (+26 -27).

La tension PWM issue de la broche 77 d'IC1101 est appliquée sur les broches 3 et 6 d'IC901 via Q1901. Le signal est appliqué simultanément sur l'entrée inverseuse 3 de l'amp-op1 et non inverseuse 6 de l'amp-op2.

Lorsque le courant croît, l'amp-op1 le réduit et l'amp-op2 l'augmente, l'image tourne dans le sens des aiguilles d'une montre.

Lorsque le courant croît, l'amp-op1 l'augmente le réduit et l'amp-op2 le réduit, l'image tourne dans le sens inverse des aiguilles d'une montre.

La boucle de CR est assurée par R1905 et R1903.



15.2. Traitement du D.A.F.

Pour réaliser les fonction de ce circuit les signaux Verticaux et Horizontaux sont appliqués sur IC3901.

L'impulsion verticale est issue de la broche 2 d'IC451 (LA7845) ou de la broche 3 de LA7876.

Le signal prend deux trajets.

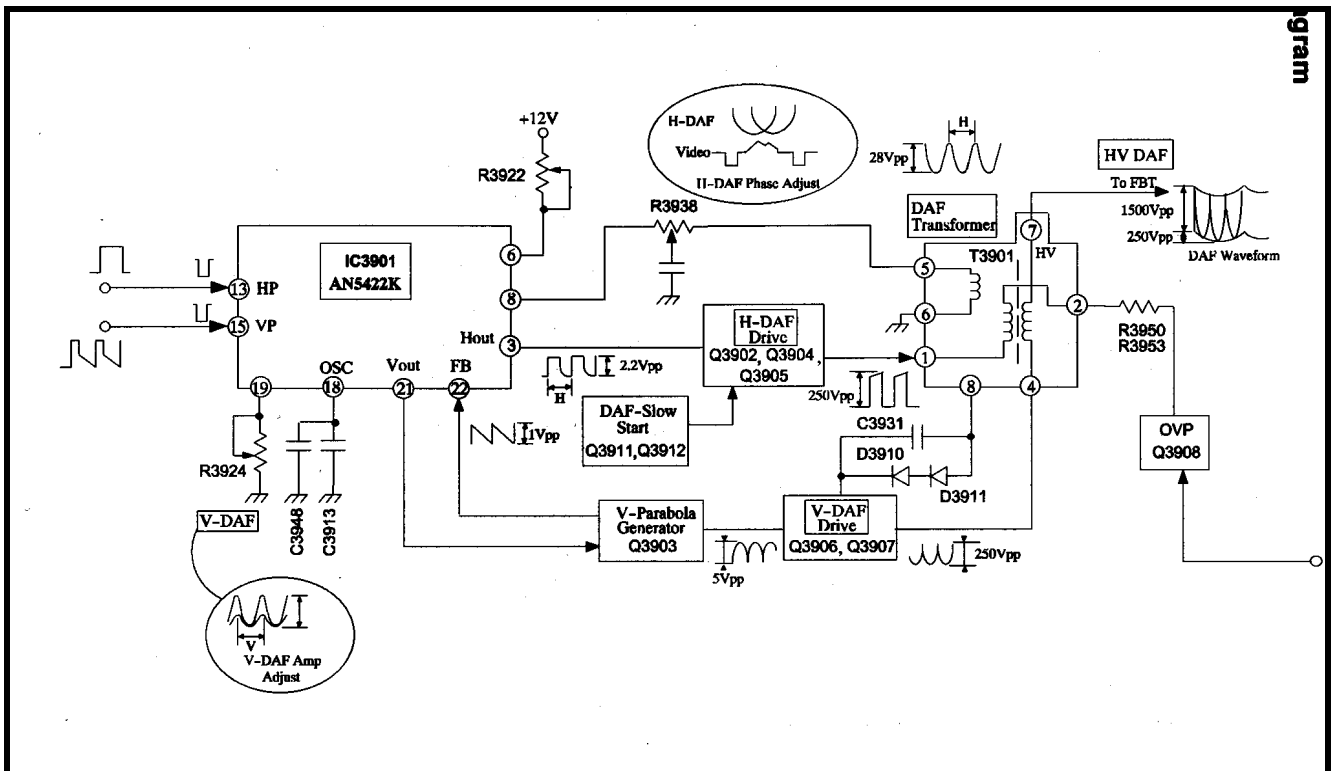
- Le premier trajet applique la signal vertical sur le déviateur trame.
- Le deuxième trajet applique le signal trame via la diode zener D3990 et Q3990 qui l'amplifie .

Le signal est appliqué sur la broche 10 d'E23 sur D12 pour être dirigé vers la broche 15 d'IC3901.

Via Q552, le signal horizontal prend quatre trajet.

- Le premier trajet est l'application de l'impulsion ligne sur la broche 10 de T551.
- Le deuxième trajet applique le signal ligne directement sur le déviateur via D4.
- Le troisième trajet applique le signal de retour ligne de la boche 6 de D11 vers E22 vers IC601.
- Le quatrième trajet applique le signal ligne sur la broche 13 d'IC3901 via Q3901.

Synoptique du D.A.F.



15.3. AN5422 (IC3901)

Les signaux d'entrée, broche 13 et 22, sortent broches 3 et 21.

L'impulsion ligne, broche 13 est appliquée sur un circuit réducteur de bruit et à un séparateur de synchro. La référence du séparateur de synchro est fixée par R3987/R3983, et C3939.

Le signal de synchro sort broche 10 puis est appliqué à l'étage d'AFC broche 9.

L'étage d'AFC compare le signal, broche 9 avec le retour ligne broche 8 la phase est réglable via R3938.

Le signal sort broche 7 pour être appliqué sur l'étage Oscillateur via la broche 6. L'oscillateur est réglable via R3922.

La sortie s'effectue broche 3. Le niveau est de 2.2Vpp . Le signal appliqué sur la paire Darlington constituée de Q33902 Q3904 pour est dirigé sur la grille du FET Q33905, qui a en charge de drain T3901 broche 1. La tension à ce niveau est d'environ 250Vpp.

Le signal horizontal sortant de la broche 3 est appliqué sur Q3911 et Q3912, ce qui bloque la grille du FET au démarrage.

A la mise sous tension Q3911 est conducteur via la polarisation de base R3974.

Dès que la zener DD3915 devient passante est que la capacité C3938 est chargée le TZ Q3912 se sature, entraînant le blocage de Q3911. La diode D3917 est alors polarisée en inverse via R3978.

Ce délai dans l'établissement de la commande de grille permet à l'étage de puissance D.A.F. d'être correctement alimenté.

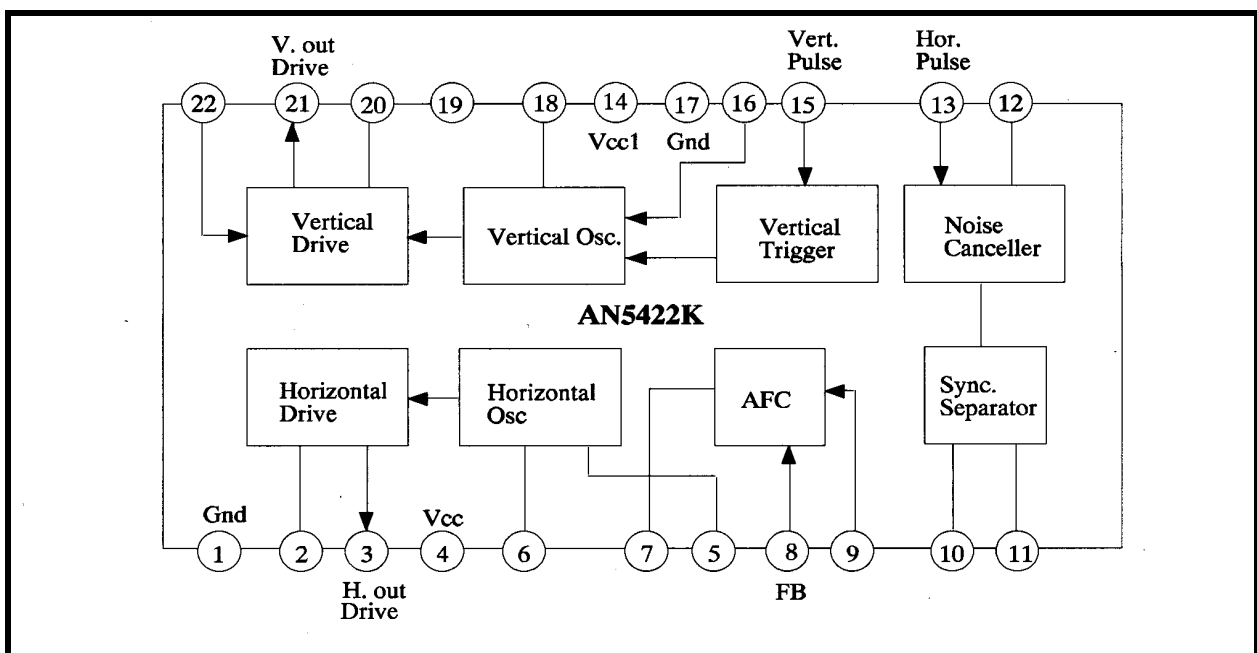
L'impulsion verticale , broche 15 est mise en forme par l'étage trigger puis est appliquée sur l'étage Oscillateur. L'amplitude est réglable par R3924, broche 19.

L'impulsion verticale est asservie par le retour trame appliqué broche 22. Le signal sort broche 21.

Le TZ Q3903 génère une parabole de 5Vpp, qui est appliquée sur les TZ Q3907, Q3906.

Le signal est amplifié à 250Vpp pour être appliqué sur la broche 4 T3901.

Le transformateur D.A.F. combine les impulsion lignes avec la parabole trame. Le signal résultant est appliqué via la sortie HV du transfo sur la tension de Focus VF2.



16. SORTIES RVB

Les signaux RVB sortent des broches 40, 41 et 42 d'IC601 sous 5Vpp.

16.1. Modulation de vélocité.

Le signal RVB appliqué sur la PCB Y via Y2 broche 3,4, et 5, suivent deux trajet.

Le première via une matrice résistive le second sur trois lignes à retard.

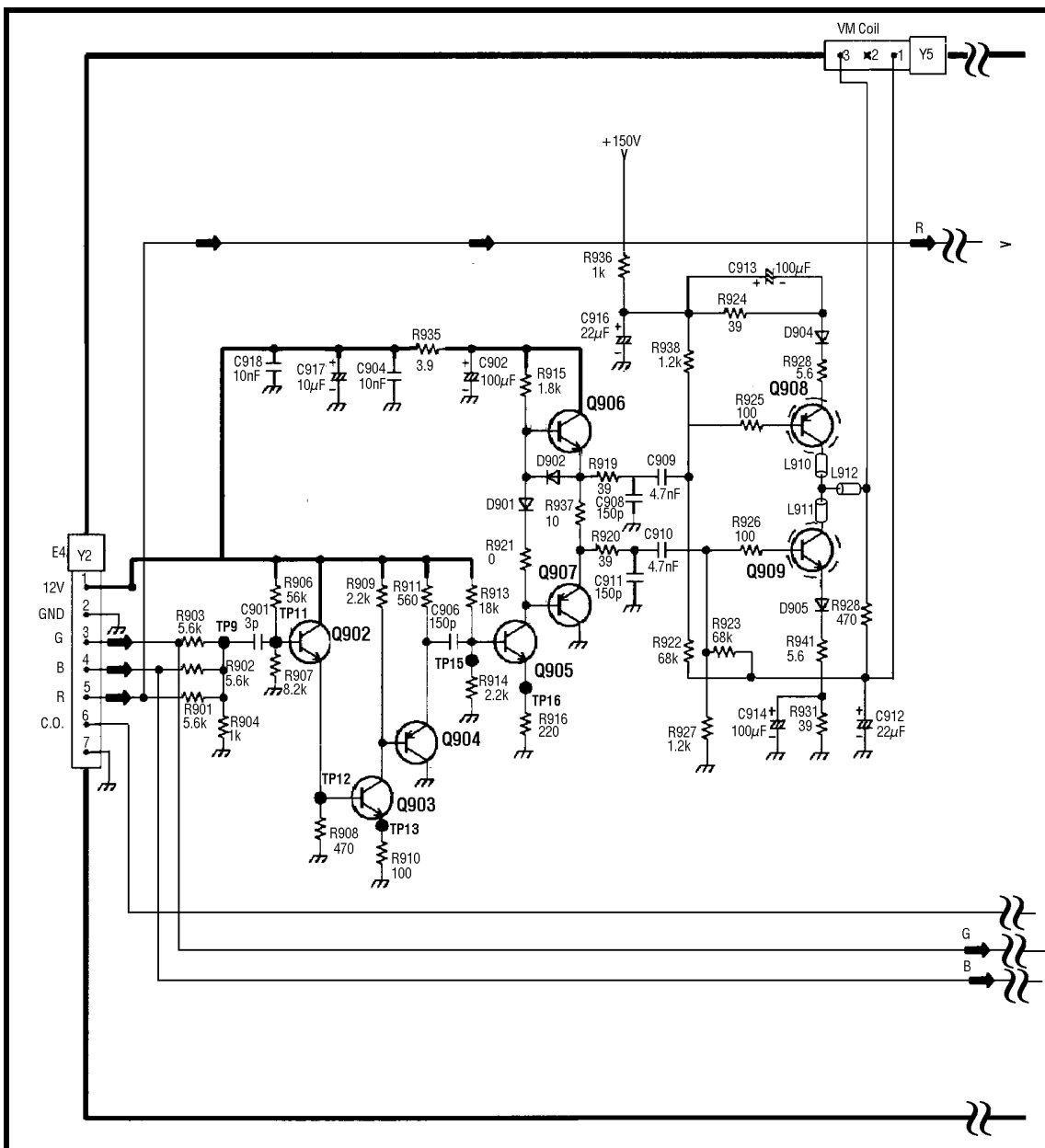
Le premier trajet constitue la matrice R901, R902 et R903. Le signal résultant est appliqué sur la base de Q902 où le signal est différencié par le réseau C901 et R907.

Ce circuit est commun aux signaux télétextes et OSD.

Le signal appliqué de Q902 au darlington complémentaire constitué par Q903, Q904. Cet étage permet d'accroître le gain en courant de 5 fois.

Le signal est alors dirigé vers Q905 où C906, R914 le mettent en forme.

Le Push-Pull, monté en miroir, fournit le courant nécessaire. Q906, Q907 servent de convertisseur d'impédance conjointement à Q908 et Q909 qui eux fournissent le signal de sortie sous 35Vpp.



16.2. Etage de sortie couleur.

Pour éviter les dommages et altérations des fréquences pouvant être causées par des liaisons cathodique trop longues le circuit de commande du tube sont montées directement sur le culot. Chaque canal de couleur se compose d'un circuit dont la bande passante est $> 10\text{MHz}$. Les trois circuits sont identiques. L'utilisation de CI réduit le nombre de composants.

Le signal RVB mentionné plus tôt, est appliqué d'Y2 broche 3,4,5 aux trois ligne à retard.

Les lignes à retard L351, L361 et L371, compense le retard du signal SVM par rapport au signal RVB. Ce retard est dû essentiellement au circuit électronique SVM.

Les signaux RVB sont appliqués sur les broches inverseuses 3 d'IC351, IC361, et IC371.

Les entrées non inverseuses, broches 1, fixent le point de fonctionnement.

Le taux de CR, fixé par la résistance connectée entre la broche 9 et 3, détermine le coefficient d'amplification. Les tensions de sortie, broche 7 et 8, se situent autour de 160Vpp maximum.

Le signal de commande est entrant broche 8, et celui de correction entrant broche 7 pour permettre la régulation automatique de courant de noir. Ce CI contient un étage de compensation de température et un circuit de limitation de courant instantané.

L'information de courant est disponible broche 5, permettant de créer un circuit de régulation automatique de niveau de noir (Cut-Off).

16.2.1. Circuit de Cut-Off.

Le circuit de base du Cut-Off constitue un circuit d'analyse des variations de la tolérance des composants et des effets d'appauvrissement et de distorsion dus au tube.

Il offre aussi les avantages suivant :

- Compensation automatique du niveau de noir.
- Prévention des erreurs de pureté durant le chauffage du tube, et stabilisation du vieillissement excessif durant les premières heures de fonctionnement.

Durant la période de suppression trame le courant de fuite est mesuré, dans l'infra noir, avant la mesure des cathodes.

Les valeurs mesurées sur les broches 5 d'IC351, IC361, IC371, sont appliqués broche 44 d'IC601, PCB E.

Le résultat de ces deux mesures est utilisée pour contrôler l'étage de sortie vidéo d'IC601.

La broche 1 voit son potentiel régulé par IC381, stabilisant ainsi en cas de variation d'alimentation le point de fonctionnement des CI de sortie.

16.2.2. Suppression de Spot.

La suppression de spot est assurée par les TZ Q3351 et Q3352.

A la mise sous tension et en fonctionnement normale ils n'ont pas d'effets.

A l'extinction, la diode D3351 est passante, et la capacité C3351 assure le courant de base de Q3352 qui se sature, entraînant la saturation de Q3351, ce qui amène les broches 1 d'IC351, IC361, IC371 à la masse.

16.2.3. Limitation du courant de faisceau.

Le circuit de limitation de frein de faisceau est inclus dans IC601 TDA9330 décrit § 13.3.2.

16.2.4. Protection

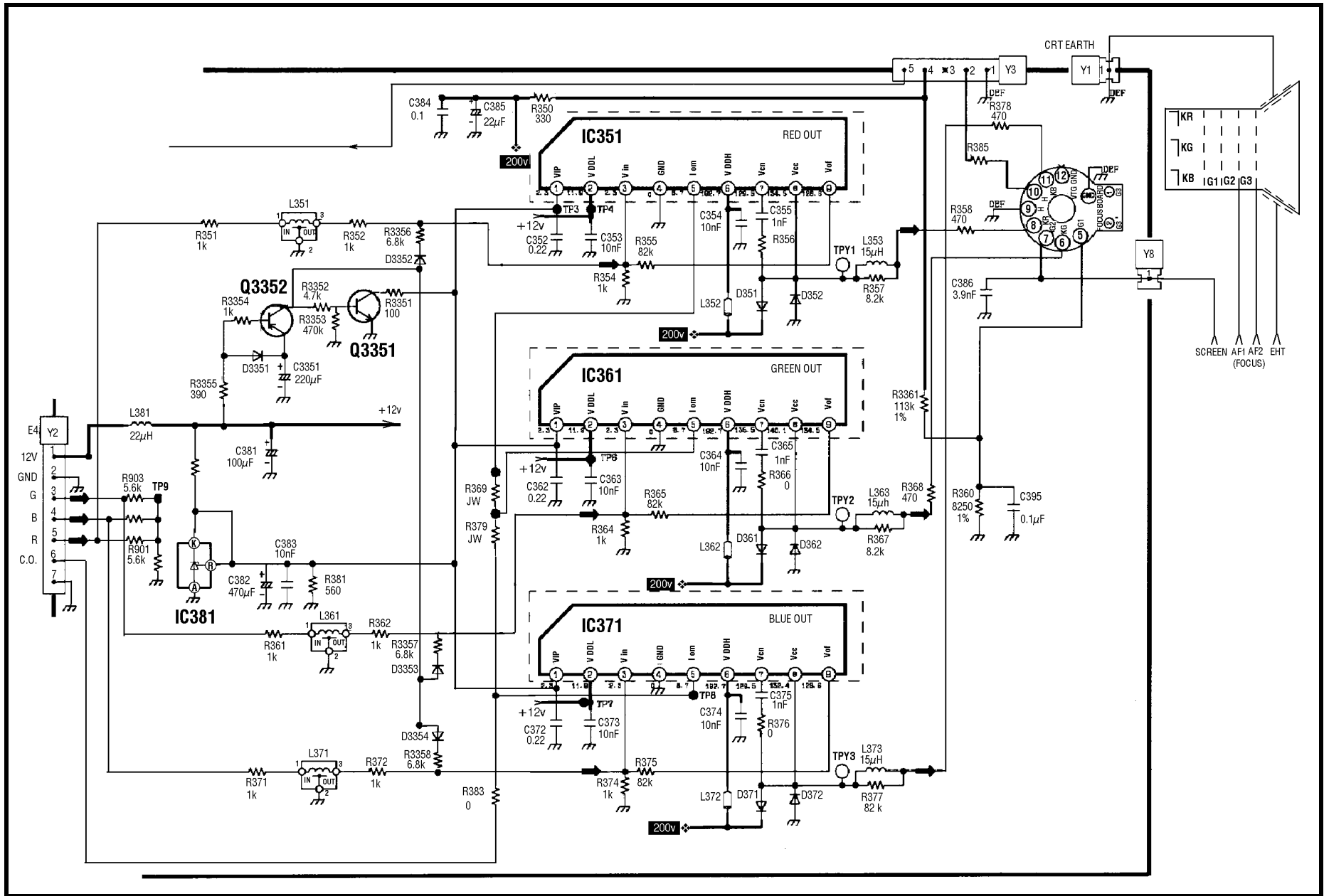
En fonctionnement normal l'entrée 43 D'IC601 se situe entre 3V et 5V.

Dépendant de ce niveau DC, la sortie des amplis de RVB sont affectées de manière plus ou moins importante.

Si un défaut apparaît en cours de fonctionnement, même avec les amplis de cathode coupés, le Tube risque d'être endommagé.

Pour prévenir de tel fait, Q849 (PCB D) est utilisé. En fonctionnement normal Q849 et Q1109 sont bloqués, la broche 75 d'IC1101 est à niveau Haut (H) via R1164.

Si un courant trop important passe dans R886 la DDP à ses bornes s'augmente. Q849 se sature, Q1101 aussi, la broche 75 passe à niveau Bas, et la TV passe en veille. Les résistances R891 et C866 amortissent les surtensions aléatoires.



17. CHANGEMENT DE BALAYAGE.

La PCB F comporte tout le traitement du changement de balayage. Entre autre :

- 50/60Hz à 100/120Hz pour la réduction des effets de battements (Flicker).
- Détection des boîtes à lettre pour les transmissions sur écran large. (Letter box).
- Réalisation d'une multitude de filtre numérique et de circuit d'amélioration de l'image, via le V-Processor 2 et le DFU (Digital Feature Unit).

17.1. Vue d'ensemble des CI.

- Filtre en peigne IC1502 (VPC3215C).

Ce circuit numérise le signal de luminance et de chrominance avant qu'il soit traité par le filtre en peigne et le décodeur couleur.

- CIP IC1503 (MB87F1720).

Ce circuit numérise le signal analogique RVB est son signal de commutation (Fast Blanking).

- V-Processor 2 IC1505 (MB87F2131) et Mémoire IC1507 (MB87H2010).

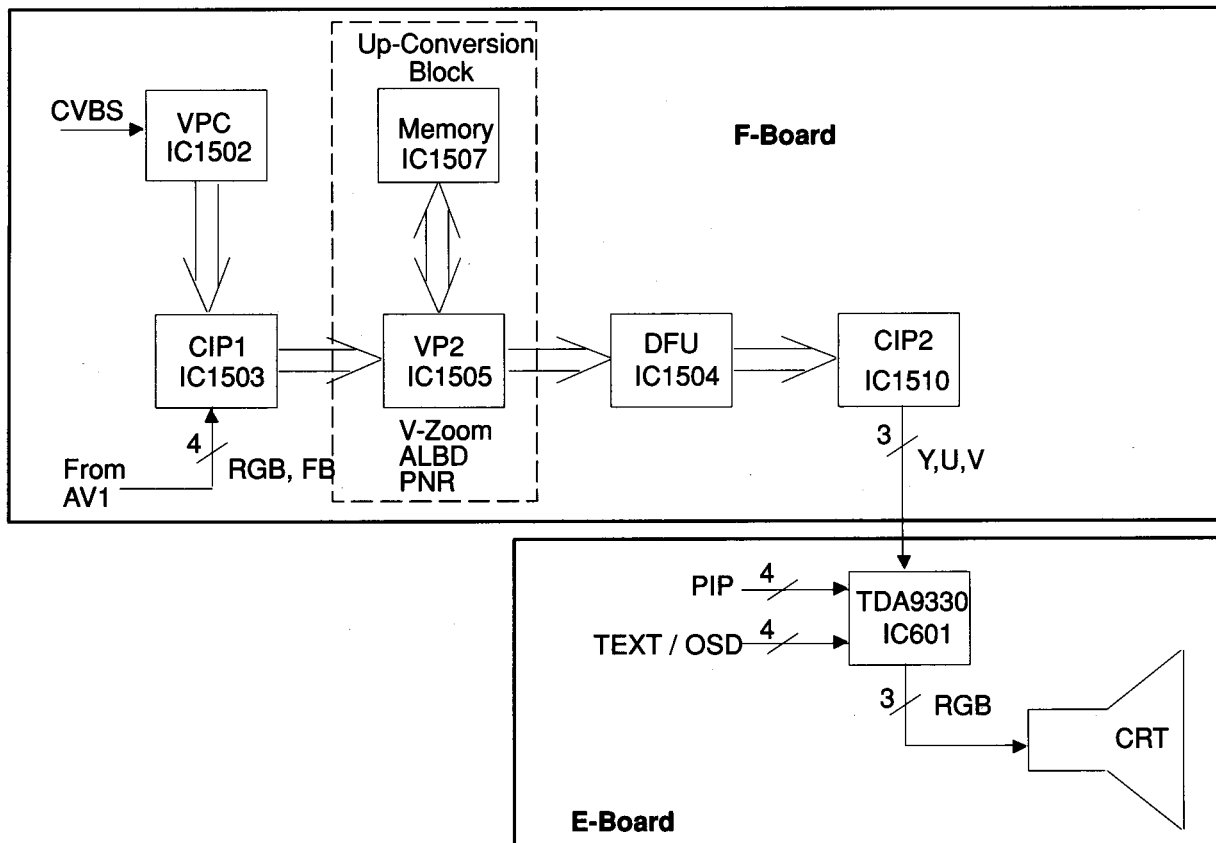
Le V-Processor et la mémoire sont le cœur de la PCB F et du système de conversion du zoom vertical et de la détection automatique des boîtes à lettre.(Automatic Letter Box Detection, ABLD), ainsi que d'autre traitement de l'image.

- DFU IC1504 (FJB007S).

Le DFU est utilisé pour apporter des améliorations dans des domaines comme le CTI, les Contours Verticaux et Horizontaux ainsi que nombre d'autres fonctions.

- CIP IC1510 (MB87F1720).

Le deuxième CIP permet de traiter les modes panorama Compression de l'image , zoom horizontal, et convertit les données numériques, de Luminance et de Chrominance, en analogique.



17.2. Principe de la conversion 100Hz.

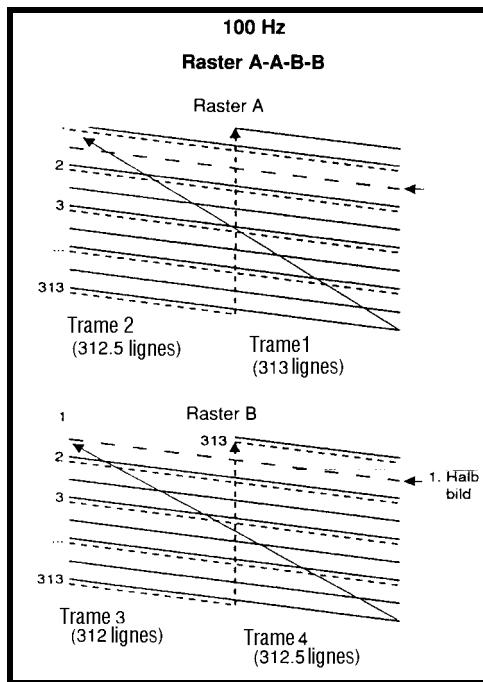
Le battement d'image dû au balayage 50/60Hz peut être grandement diminuer en doublant la fréquence de balayage.

Ceci se réalise, en stockant l'image 50/60 en mémoire, puis en relisant celle-ci à double vitesse.

Le résultat est que les images (Fields) d'entrées A et B passent de deux images à quatre images. L'ordre de lecture des images peut se faire indépendamment comme suit :

- **AABB**

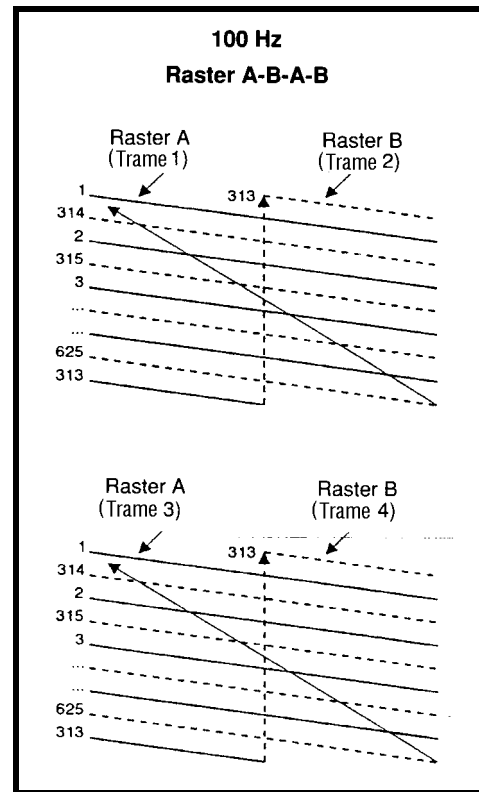
Cette forme de lecture est valable en réception normale d'une émission TV, et permet de réduire grandement le Flicker.



- **Images (Fields) ABAB.**

Ce type de lecture donne la meilleure résolution mais n'est valable que pour des images fixes et de CinémaScope (25Hz). Le V-Processor 2 est utilisé en mode Movie (Cinéma).

C'est pourquoi ce mode cause du Flicker en mode de réception normale.

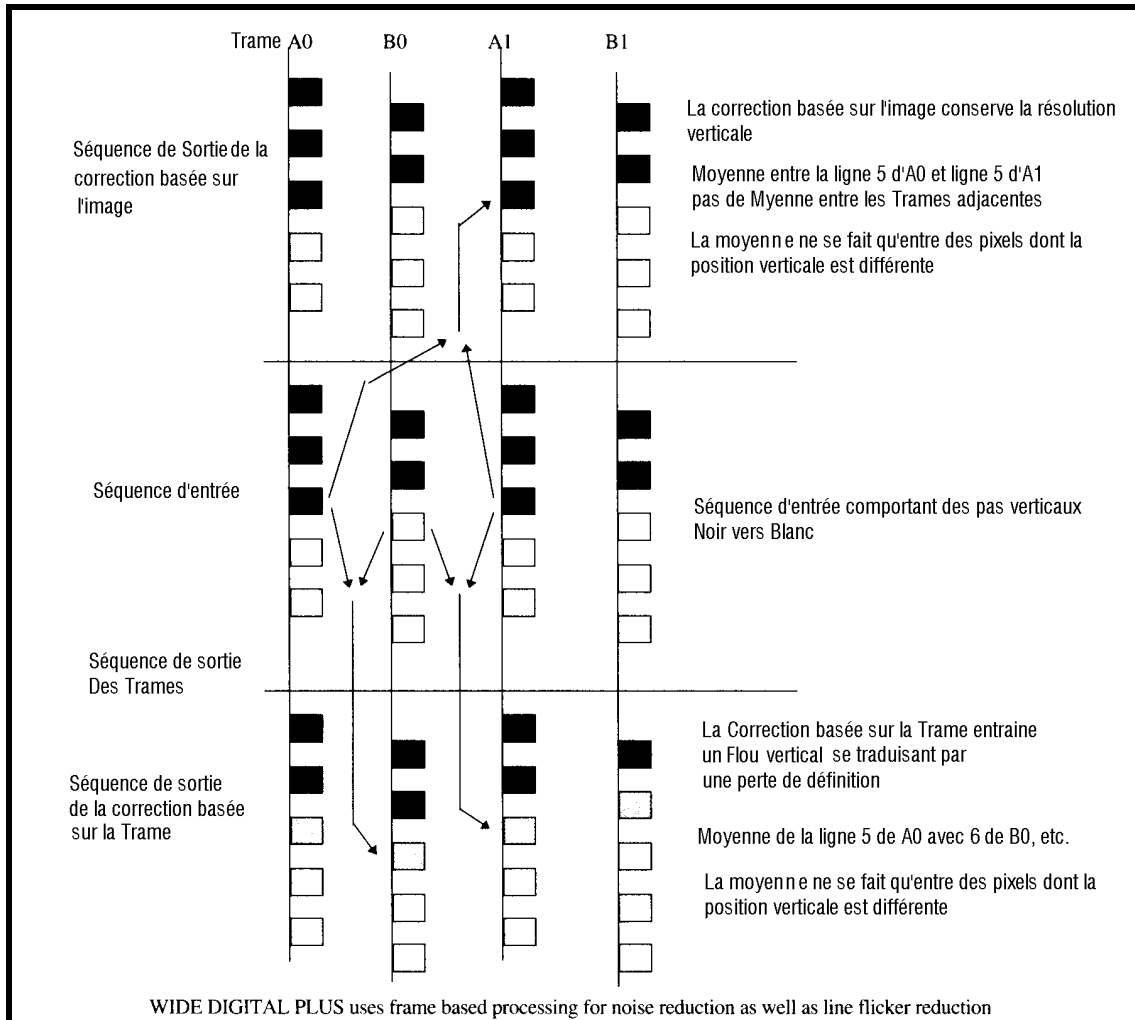


Quoiqu'une grande partie du Flicker trame soit éliminé par le double balayage, le flicker ligne se trouve réduit .

Ce flicker apparaît lors d'une transition noire blanche en 50/60Hz et ce défaut persiste en 100/120Hz si aucune action n'est entreprise

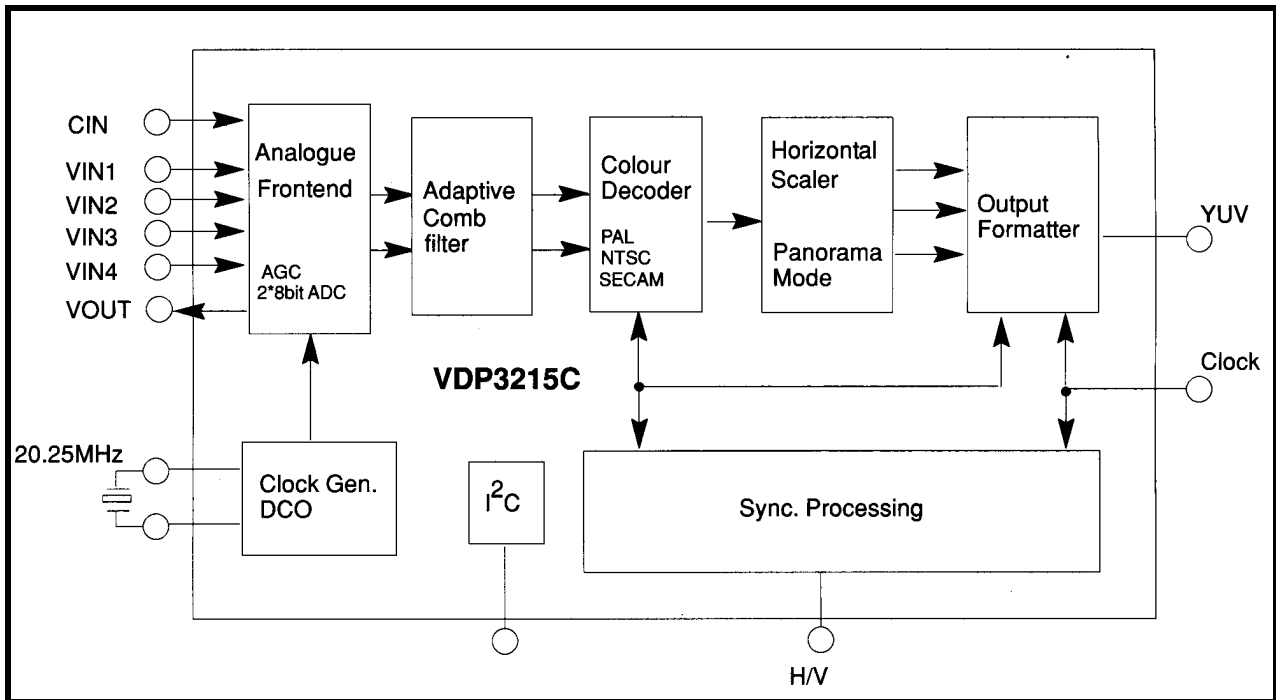
Pour éliminer le battement ligne le châssis EURO5 utilise un traitement par Image (Frame) ce qui améliore la résolution comparé à un traitement par Trame (Field).
 Le traitement par Image réalise la moyenne des lignes 5 de l'image A0 et de la ligne 6 de A1 Ce qui signifie que la moyenne est faite entre des

Pixels appartenant à la même position vertical, contrairement au traitement par trame qui ferait la moyenne entre la ligne 5 de A0 et la ligne 6 de B0, ce qui ferait la moyenne entre des pixels dont la position verticale serait différente, réalisant un flou qui réduit la définition.



17.3 Filtre en peigne VPC3215

- Le VPC3250 se compose de
- Traitement numérique vidéo.
- Filtre en peigne
- Décodeur couleur multi-standard.
- Entrées vidéo composite et S-VHS.
- Bus I²C quartz 20.25MHz.



17.3.1. Traitement Vidéo.

Les signaux CVBS ou Y et C sont appliquée sur la PCB F via le connecteur F11 broche 2 et 3. Ces signaux sont issus de IC3001, commutateur vidéo situé sur la PCB E.

Le signal vidéo est alors appliqué sur IC1502 broche 62 (CVBS ou Y) broche 63 (C) et le premier étage de traitement du CI via Q1501 (Y) et Q1502 (C).

Le signal vidéo est d'abord clampé puis échantillonnée à 20.25Mhz. Le signal est numérisé sur 8 bits puis appliqué sur le filtre en peigne.

Le quartz 20.25MHz, X1501, connecté broche 5 et 6, fournit toutes les horloges nécessaires à IC1502.

17.3.2. Filtre en peigne.

Ce filtre permet d'obtenir une excellente séparation luma/chroma pour les chroma PAL ou NTSC.

Le filtre en peigne améliore la bande passante (5MHz au lieu de 3.8Mhz sans filtre en peigne.

Dans le cas d'un signal S-VHS ou SECAM le filtre en peigne est inhibé.

Dans ce cas les signal est appliqué directement au ligne à retard et au décodeur couleur.

17.3.3. Décodeur couleur.

Le système de décodage utilise une horloge asynchrone ce qui permet de décoder tout type de chrominance.

La sortie du décodeur est de type 4:2:2.

17.3.4. Formatage.

L'étage final du VPC sort le signal numérique de luminance broches 20-25/28-29, et le signal numérique de chrominance broches 38-43 et 46-47. Le format est 4:2:2

la synchro horizontale broche 12 et verticale broche 16.

17.3.5. Synchronisation.

La synchro est extraite du signal vidéo en interne au CI.

La plus part des traitements fonctionnant à fréquence horizontale sont programmés par le Fast Processor interne

17.3.6. Contrôle.

En complément des signaux mentionnés ci-dessus le VPC fournit les horloges suivantes :

- LLC2 broche 18 fournit du 27MHz produit par un multiplicateur interne qui sert de système d'horloge de base pour le 100Hz.
- LLC2 broche 19 fournit du 13.5MHz pour le 50Hz.
- Le contrôle du VPC est réalisé via le BUS I²C2 SDA broche 55.
SCL broche 56.

17.4.CIP IC1503.

Le circuit CIP contient l'ensemble des circuits qui permettent de réaliser l'interface analogique, numérique YUV/RVB ainsi que la commutation rapide.

Le signal de commutation rapide contrôle la commutation entre les signaux numériques internes, luminance/chrominance et le signal externe RVB.

Le signal externe RVB est appliqué sur le CIP. Il vient de la prise 21 broche AV1 sur la PCB H. Sur la PCB F se trouve sur le connecteur F11 broche 5 (B), 6 (G) et 7 (R).

Le signal Rouge est adapté et amplifié par Q1662 et Q1665.

Le signal Vert est adapté et amplifié par Q1660 et Q1663.

Le signal Bleu est adapté et amplifié par Q1661 et Q1664.

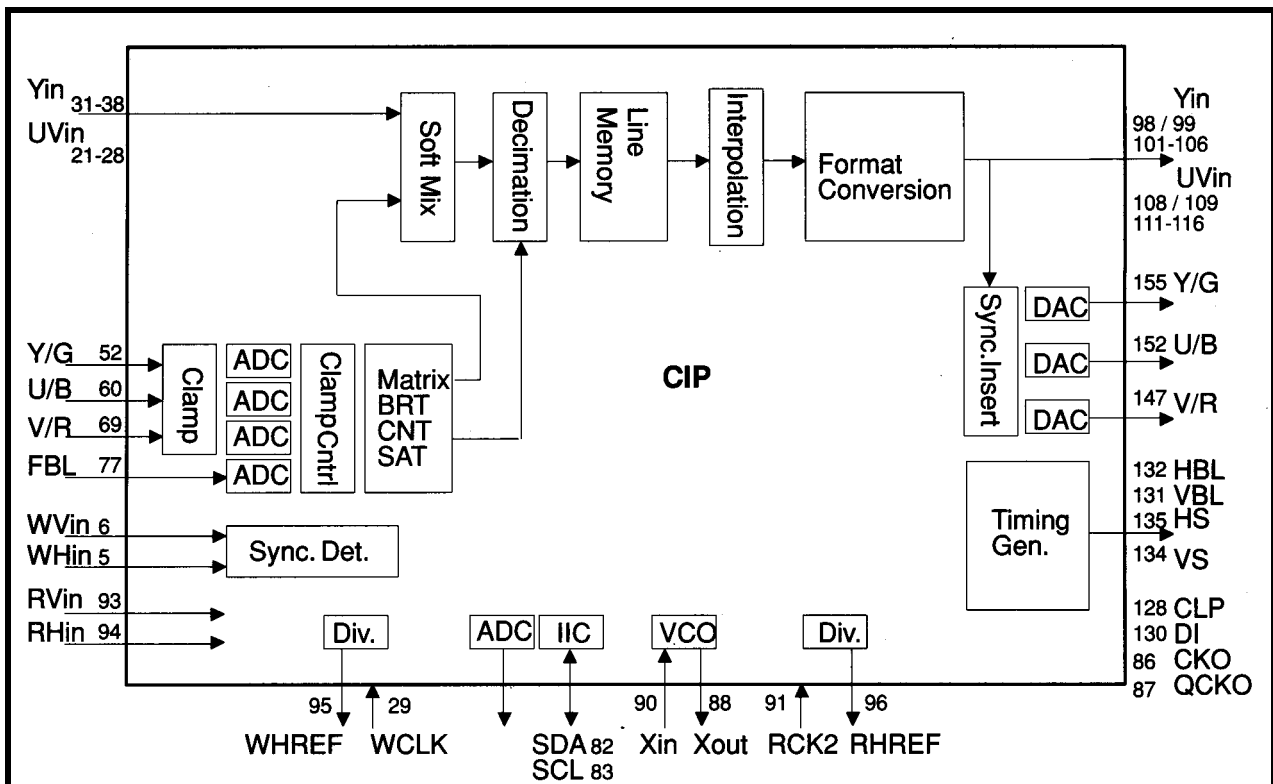
Le signal de commutation rapide est appliqué broche 8 de F11, puis directement sur IC1503.

IC 1506 fournit une alimentation de 3.5V, particulière pour les étage A/D d'IC1503.

Cette alimentation est appliquée sur les broches 49, 57, 66, 75 d'IC1503.

A partir du 3.5V, via le pont diviseur R1519, R1520 et Q1503, on fournit une tension, qui est retardée par C1524, de 1V à IC1503 (VREFH).

Cette tension permet un démarrage progressif.



17.4.1. Brochage

Broches	IN/OUT	Nom	Définition
5	IN	WHIN (MHS)	Synchro Horizontale
6	IN	WVIN (MVS)	Sybchro Verticale
11	IN	RSTN	Entrée de reset active à niveau bas.
21 à 28	IN	UVIN ₀₋₇	Entrée des signaux numérisés et multiplexés U et V.
29	IN	WCLK	Horloge 13.5MHz servant à l'écriture des données dans une mémoire interne. Une horloge de lecture est appliqué broche 91
31 à 38	IN	YIN ₀₋₇	8 bits de luminance issu d'IC1502.
47, 56, 65, 74	IN	VREFH1-4	Cette tension d'alimentation fixe la limite supérieure des convertisseurs A/D
50, 58, 67, 76	IN	VREFL1-4	Cette tension d'alimentation fixe la limite inférieure des convertisseurs A/D
52, 60, 69	IN	Gin, Bin, Rin	Entré analogique des signaux RVB d'AV1.
77	IN	FLBIN	Commutation rapide
82	IN	SCL	Horloge Bus I ² C2.
83	IN	SDA	Données Bus I ² C2
90	IN	XIN	13.5MHz sevrant à la synchronisation interne
91	IN	RCK	Horloge 13.5MHz servant à la lecture des données dans une mémoire interne. Une horloge d'écriture est appliqué broche 29.
98 à106	OUT	YOUT0-7	Sortie luminance 8 bits vers le V-Processor2 IC1505.
108-19 / 111 à 116	OUT	UVOUT0-7	Sortie différence de couleur 8 bits vers le V-Processor2 IC1505
134	OUT	VS	Synchronise verticalement le transfert et le traitement 50/60Hz.de et vers IC1505 Vprocessor2.
135	OUT	HS	Synchronise horizontalement le transfert et le traitement 50/60Hz.de et vers IC1505 Vprocessor2.

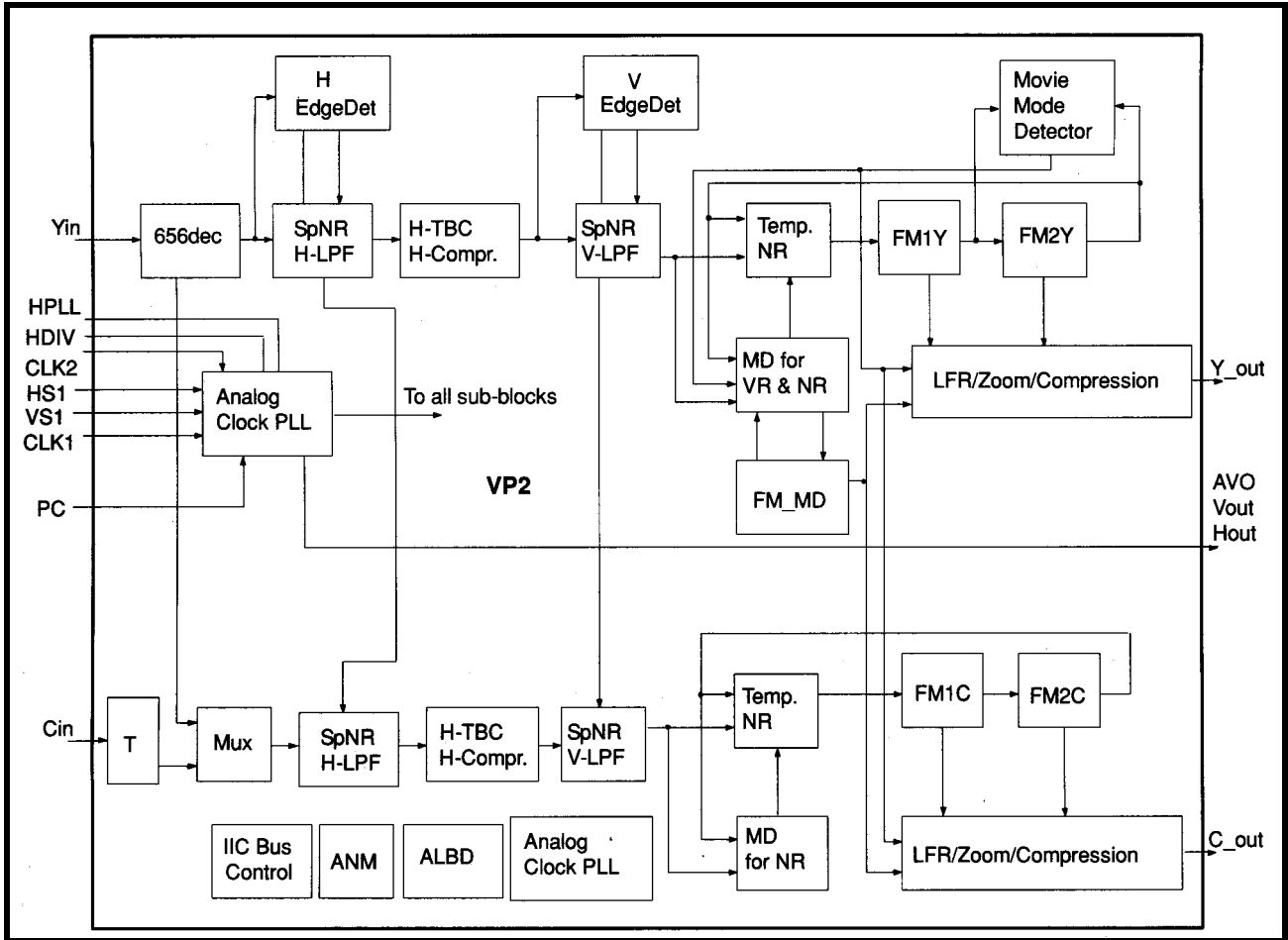
17.5. V-Processor (MB87F2131)

Généralité.

Le V-processor 2 (VP2S) IC1505 avec IC1505 la mémoire est le cœur du système de conversion. Ce circuit comporte de nombreuses autres fonctions.

17.5.1. Composition.

- Balayage entrelacé 100/120Hz.
- Réduction du Flicker.
- Détection du Letter Box.
- Réduction du traînage ligne.
- Zoom Vertical.
- Réduction de bruit par détection du type d'image.
- Mode de détection de mouvement.
- Gèle d'image
- Interface I²C



17.5.2. Trajet Entrée / sortie

Le signal de luminance sort du CIP IC1503 est entre broches 141 à 148 (Yin0 - Yin7) du V-Processor 2.

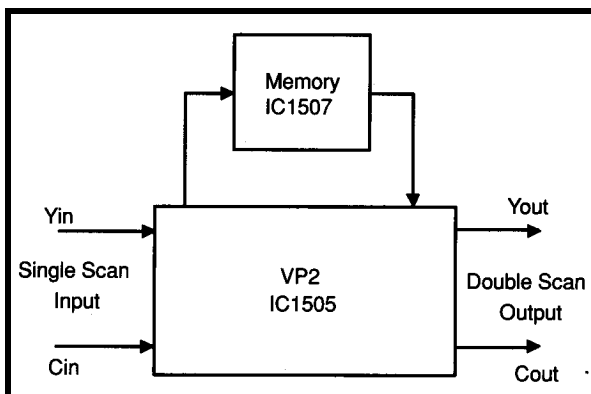
La chroma est appliquée broche 117 -119 et 122-126 (Cin0 - Cin7).

Les signaux subissent ensuite les différents traitements décrits § 17.5.3. puis sortent broches 47 - 49 / 51 - 55 pour la Luma et 56 - 58 / 61 - 65 pour la chroma.

17.5.3. Description des particularités.

- **Conversion .**

IC1505 réalise la conversion de balayage, en lisant le signal dans la mémoire IC1507 puis en le relisant à fréquence double. De fait les images A et B passent de 2 images à 4 images.



- **Réduction du Flicker.**

Le battement ligne présent au moment d'une transitoire verticale noire blanche est traité comme décrit au § 17.2

- **Détection de mouvement.**

Pour réaliser cette fonction, une ligne de l'image présente est une ligne de l'image précédente sont utilisées.

La mémoire IC1507 stocke l'image.

- **Réduction de bruit.**

Ce circuit réalise une réduction de bruit en trois dimension, avec un minimum de perte de résolution de l'image. La réalisation se fait par l'utilisation simultanée de l'image de base (Temporelle) et de la trame de base (Spatial).

Cette méthode est des plus efficace lorsque les informations contenues comportent des mouvement de grande amplitude.

Les caractéristiques des filtres sont ajustés dynamiquement, temporel par le mouvement de l'image et spatial par la détection des transitoires verticales et horizontales.

Ce système supprime l'effet "d'écran sale" du au balayage 100/120Hz.

Pour éviter les effets de comètes sur les signaux colorés un circuit de détection de mouvement pou la chroma est ajouté.

- **Détection Letter Box**

Le châssis EURO 5 permet de détecter différent Letter Box utiliser fréquemment en Europe.

Par l'analyse du signal vidéo le circuit détecte la largeur de la bande noire en haut et en Bas de l'image.

Les logos des compagnie de broadcast ainsi que les sous titres se situent dans ces bandes noires.

Le ratio image bande permet de déterminer avec précision la position exacte de l'image active, et la position exacte des sous titre présents.

IC1101 contrôle ce ratio.

- **Interpolation ligne.**

L'interpolation ligne est utilisée pour additionner des lignes supplémentaires dans une trame .

Cela permet d'augmenter le nombre de lignes de 432 à 576.

- **Mode de détection de film.**

Ce détecteur a été introduit pour corriger la séquence de sortie trame lorsque la source est la lecture d'un film broadcast ou suite à la lecture d'une bande ou d'un disque.

En effet ce type de source présente un mouvement image par image.

Il n'y a pas de mouvement entre la trame A et la trame B dans une image.

Dans ce cas la trame originale peut être répétée pour obtenir la meilleure qualité tel que montré ci-dessous.

La première rangée des deux diagrammes montre la séquence du film, où le mouvement apparaît entre l'image 0 et 1. La télévision conventionnelle éclate chaque image en deux trames successives.

Dans un 100Hz sans correction le traitement génère pour chaque trame existante deux trames nouvelles.

Comme on peut le voir à la troisième rangée la trame originelle et la trame interpolée sont créées.

Cette nouvelle trame combinée montre clairement une image qui est moins définie que l'original.

Dans un TV 100Hz équipé de la correction On utilise une image complète et on génère 4 nouvelles trames sans interpolation.

Les trames combinées montrent à la rangée 4 que l'image est conservée dans son intégralité

La décision de commutation se fait par un détecteur de mouvement global.

Ce détecteur ne détecte pas seulement la quantité de mouvement par image mais aussi par trame par exemple les trames A0 et B0 sont dans une image.

Dans le cas d'un film où il n'y a pas de mouvement entre A0 et B0 la séquence pourra devenir A0, B0, A0, B0 (sans Zoom).

Lorsque le mode Zoom est utilisé la séquence devient A0, A0*, B0*, B0, où A0* et B0* sont des interpolations qui utilisent les trames A0 et B0.

- **Zoom Vertical.**

Le mode Zoom se sélectionne via l'OSD. Le V-Processor 2 est responsable du Zoom vertical le CIP IC1510 est responsable du Zoom horizontal.

Les modes Zoom sont :

- Panasonic Auto.
- 4:3
- Zoom.
- S-Zoom.
- Full.
- Just.

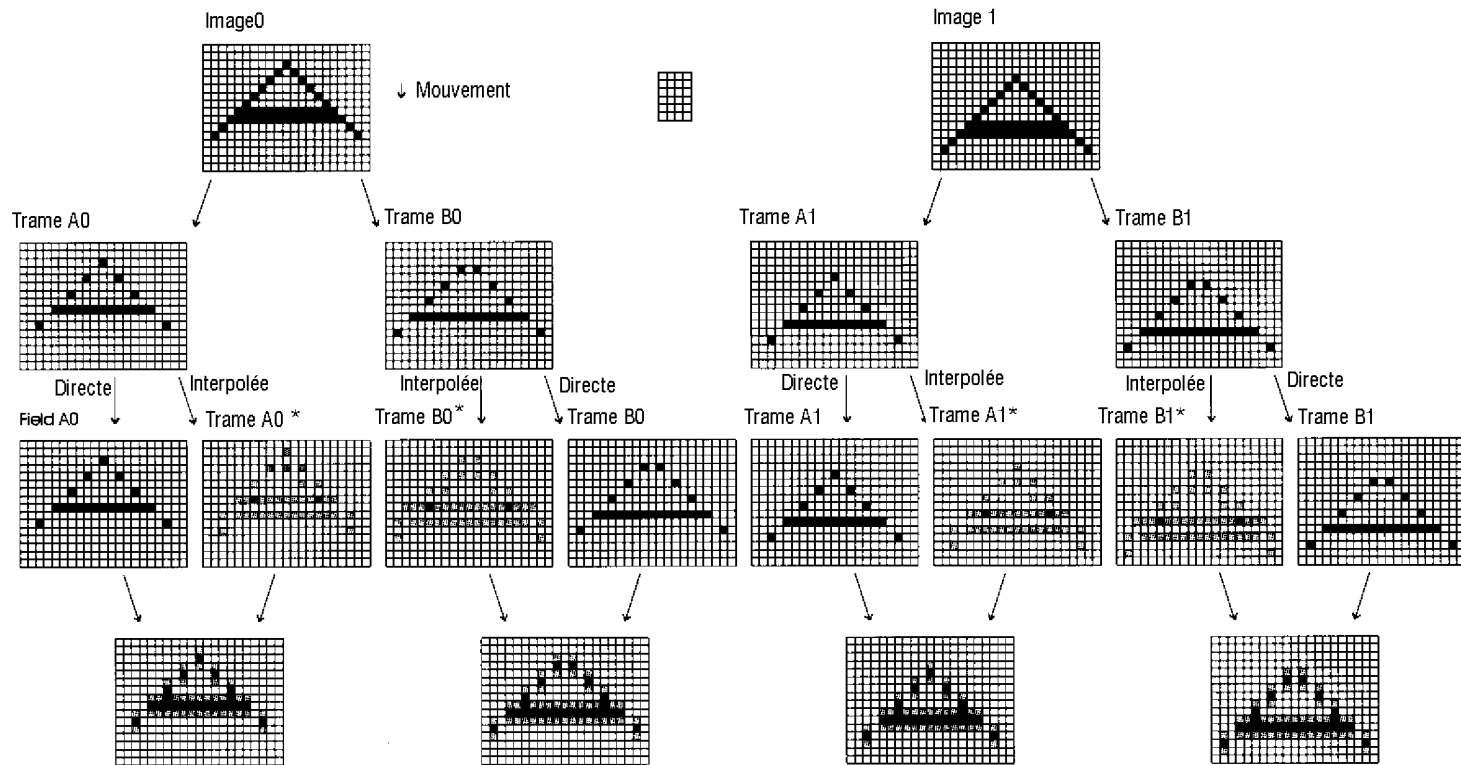
- **Gèle d'Image.**

Le gèle d'image est une conséquence de l'utilisation de la mémoire IC1507.

L'utilisation de cette fonction empêche l'acquisition de nouvelles images.

Conversion de Balayage sans Correction de détection de Mouvement

Sequence en Mode Mouvement



Affichage sur un TV Normal

Affichage sur un TV double
Balayage sans Correction du
mouvement Image

Affichage sur un TV double
Balayage sans Correction du
mouvement Trame

Conversion de Balayage avec Correction de détection de Mouvement

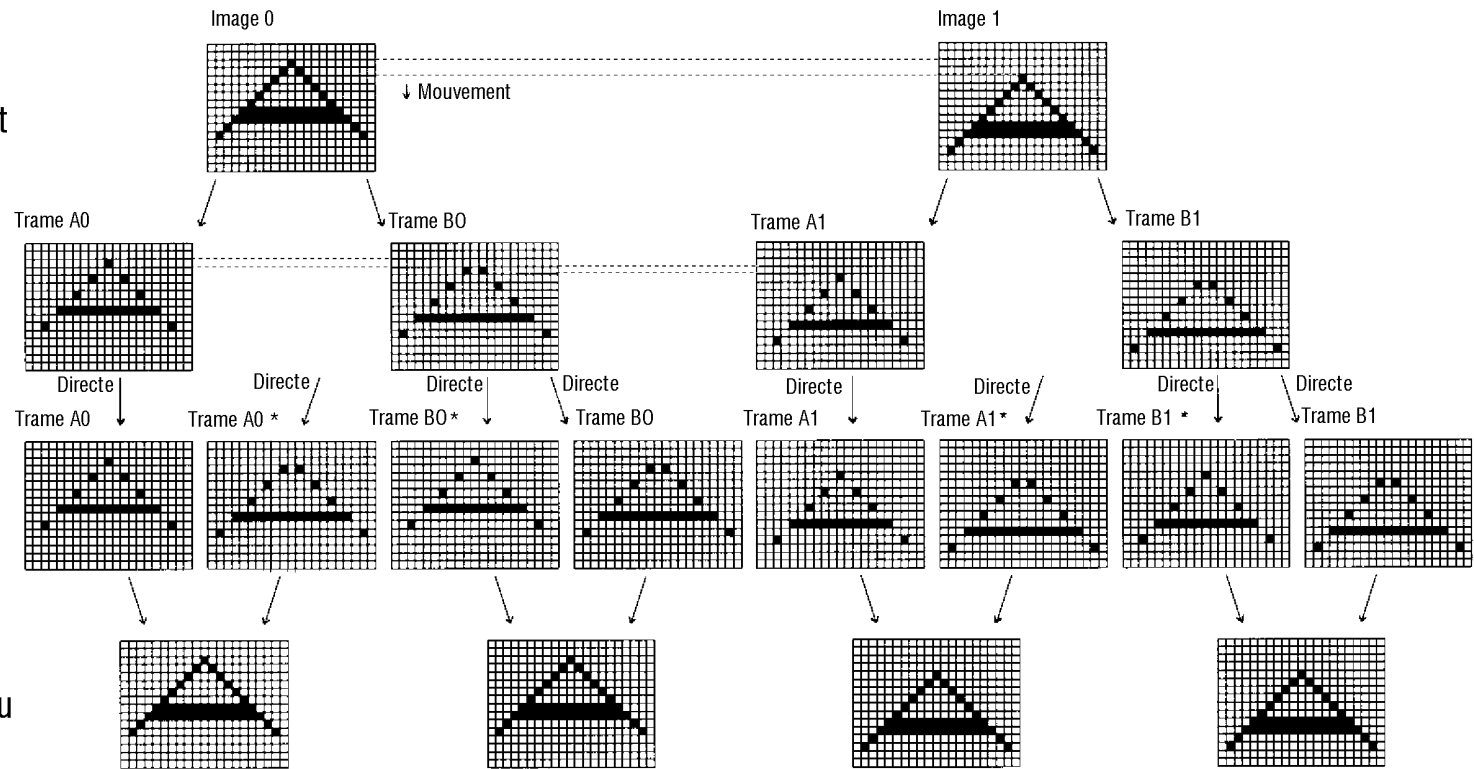
Sequence en Mode Mouvement

Affichage sur un TV Normal

Affichage sur un TV double
Balayage avec Correction du
mouvement Image

Correction

Affichage sur un TV double
Balayage avec Correction du
mouvement Trame



17.5.4 Brochage V-Processor 2

Broches	IN/OUT	Nom	Définition
2-9 / 11-19 / 21-29 / 31, 151-159.	IN	HDRIN ₀₋₃₅	Interface numérique d'entrée avec la mémoire IC1507. Les signaux contiennent les données multiplexées
34	Out	SAC	Adresses Colonnes sous forme de 8 Bits séries V-Processor 2 vers Mémoire IC1507
36 , 37	OUT	SAR ₀₋₁	Adresses Rangés sous forme de 8Bits séries. V-Processor 2 vers Mémoire IC1507
38	OUT	RE	contrôle Read Write.
39 42 43	OUT OUT OUT	WTXN RAXN RBXN	Ces signaux sont appliqués du V-Processor 2 vers la mémoire, qui comporte trois ports d'entrée. Cela permet le transfert de données d'une zone mémoire à une autre zone avant que celles ci ne sortent.
47-49 / 51-55	OUT	YOUT ₀₋₇	Sortie Luminance convertie sur 8 Bits, vers le DFU IC1504.
56-58 / 61-65	OUT	COUT ₀₋₇	Sortie Chrominance convertie sur 8 Bits, vers le DFU IC1504.
67	OUT	AVO	Signal de référence Horizontal servant à indiquer le début et la fin de la période active
68	OUT	VSO	
69	OUT	HSO	Signal de synchro horizontale appliqué sur le DFU pour synchroniser le transfert et le traitement de la luma et chroma.
71	IN/OUT	SDA	Serial Data Bus I ² C2
72		SCL	Serial Clock Bus I ² C2
78-79 / 82-89	OUT	LDROUT ₀₋₉	Interface numérique de sortie avec la mémoire IC1507. Les signaux contiennent les données multiplexées pour les traitements prévus dans le V-Processor.
91-99 / 101-105	IN	LDRIN ₀₋₁₃	Interface numérique d'entrée avec la mémoire IC1507. Les signaux contiennent les données multiplexées pour les traitements prévus dans le V-Processor.
117-119 /101-105	IN	CIN07	Entrée sur 8 bit issu du CIP IC1503.
129	OUT	LL4CLK	Horloge 54MHz assurant le transfert d'écriture et de lecture avec la mémoire.
131	OUT	LL2CLKPLL	Horloge 27MHz utilisé en interne par un PLL.
133	IN	HSI	Synchro horizontale issue d'IC1503 (CIP) utilisée pour le transfert de la luma et de la chroma pour le traitement interne du signal 50/60Hz.
134	IN	VSI	Synchro verticale issue d'IC1503 (CIP) utilisée pour le transfert de la luma et de la chroma pour le traitement interne du signal 50/60Hz.
135	IN	RST	Reset actif à niveau Bas.
141-148	IN	YIN0-7	Signal luminance sur 8 Bits issu du CIP IC1503.
149	Out	LL2CLK	27MHz synchronisation de la conversion 100Hz.

17.6. Mémoire IC1507.

Cette mémoire a une capacité de 8Mbit. Elle permet d'assurer les fonctions suivantes :

- Conversion de balayage.
- Réduction du Flicker
- Détection de mouvement.
- Réducteur de bruit.
- ALBD
- Interpolation ligne
- Détection de mode film
- Zoom Vertical
- Gèle d'image.

17.6.1. Brochage.

Broches	IN/OUT	Nom	Définition
9	IN	RBXN	Ces signaux sont appliqués du V-Processor 2 vers la mémoire, qui comporte trois ports d'entrée. Cela permet le transfert de données d'une zone mémoire à une autre zone avant que celles ci ne sortent.
10	IN	RAXN	
12	IN	WTXN	
13	IN	RE	Contrôle du Read/Write.
14	IN	SAR0	Entrée adresse série. 8 bits
15	IN	SAR1	
18	IN	SAC	Entré Colonne série 8bits
19-35 / 22-30 / 32-40 / 42-45 / 47-50 / 52-59	OUT	HDROUT ₀₋₃₅	Interface numérique avec le V-Processor2 IC1505.
62	IN	RSTXN	Entrée de reset.
70	IN	CLKIN	Hologe 54MHz
75 /77-80 / 82-90	OUT	LDROUT ₀₋₁₃	Interface numérique de sortie avec le V-Processor 2. Les signaux contiennent les données multiplexées pour les traitements prévus dans. V-Processor 2
92-100 / 113	IN	LDRIN ₀₋₉	Interface numérique d'entrée avec le V-Processor 2. Les signaux contiennent les données multiplexées pour les traitements prévus dans. V-Processor 2

17.7 DFU IC1504

Le circuit de DFU est utilisé pour améliorer les performance de l'image au travers de fonctions telles que renforcement de la chroma du signal Noir et blanc, du niveau de noir, accentuation du contraste via le Black Level.

Le entrées broche 55-62 reçoivent la luminance du Vprocessor2 les entrées 44-51 la chrominance.

Ces deux signaux sont synchronisés par Vs broche 4 et HS broche 7.

Un signal de référence horizontale est appliqué sur la broche 3, permettant d'indiquer le début et la fin de l'image.

Les 8 Bits de Luma d'entrée sont appliqués sur l'étage AI (Artificielle Intelligence) qui permet

de corriger les couleur chaire ainsi que de renforcer le contraste à faible niveau.

Suite à l'étage AI le signal est appliqué sur la correction d'ouverture verticale pour le renforcement des contours.

La luminance passe dans un circuit de pré accentuation avant de sortir boche 20-23 et 26-29 vers le deuxième CIP IC1510.

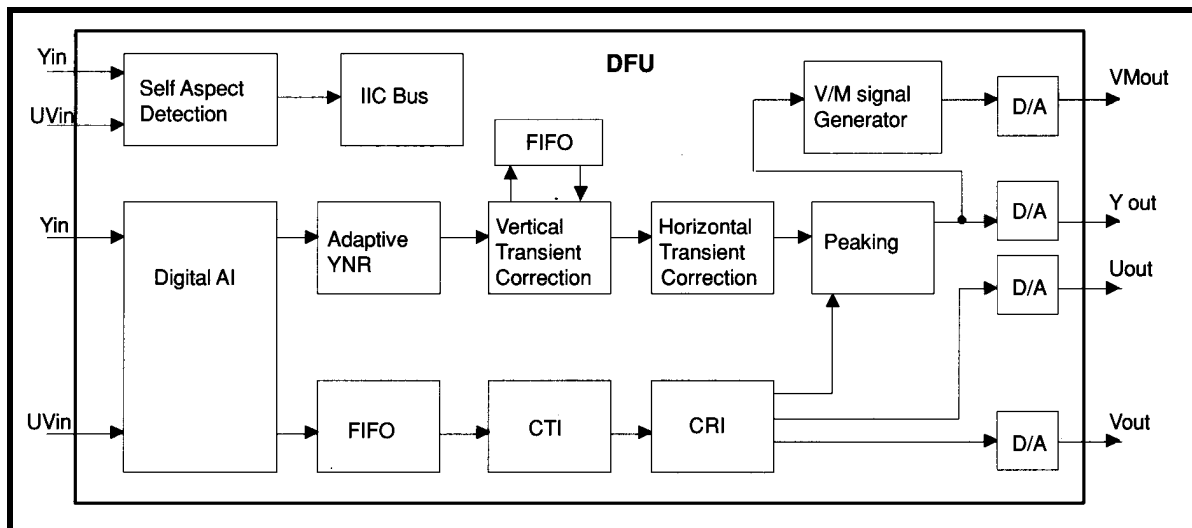
La chrominance en sorti de l'AI est appliqué au circuit CTI (Chroma Transient Improver) et CRI (Chroma Resolution Improver) .

Ces corrections sont appliqués séparément aux signaux U et V.

La chroma sort Broche 32-35 et 38-41 vers le deuxième CIP.

Brochage additionnel.

Broches	IN/OUT	Nom	Définition
8		SCL	Serial Clock Bus I ² C
9	IN	SDA	Serial data entrée
10	OUT	SDA	Serial Data sortie.
13	IN	RST	Entrée de reset.
52	IN	CLK2	27MHz
91	OUT	HDO	Synchro horizontale 32.25KHz vers le CIP2
92	OUT	VDO	Synchro verticale 100Hz vers Le CIP2 IC110i μ P, IC601 et IC1801 PIP.



17.8. IC1510 2^{ème} CIP

Même processeur que IC1503. IC1503 est utilisé dans la conversion analogique RVB en numérique et sélection du type de signal, ici le

2^{ème} CIP est utilisé pour réaliser l'affichage panorama, , la compression horizontale, le traitement de Zoom, ainsi que la conversion numérique analogique.

17.8.1 Brochage

Broches	IN/OUT	Nom	Définition
5	IN	WHIN (MHS)	Entrée synchro horizontale issue du DFU 32.25KHz
6	IN	WVIN	Entrée synchro verticale issue du DFU 100Hz.
11	IN	RSTN	Entrée reset active à niveau bas.
21-28	IN	UVIN ₀₋₇	Entrée signal numérisé U V issu du DFU.
29	IN	WCLK	Horloge d'écriture 27MHz Horloge permettant d'écrire dans la mémoire interne qui permet de traiter la luminance et la chroma.
31-38	IN	YIN ₀₋₇	Entrée signal numérisé Y issu du DFU.
82	IN	SCL	Serial clock
83	IN	SDA	Serial data
90		XIN	Horloge 13.5MHz
91	IN	RCK	35MHz produit par IC1509. Horloge permettant de lire dans la mémoire interne qui permet de traiter les modes panorama, zoom horizontal, et compression (16:9 vers4:3).
96	OUT	RHREF	Sortie d'un signal de référence horizontale appliqué à IC1509.
131	OUT	VBLK	Via Q1666 et Q1667 cette sortie permet de contrôler la constante de temps du VCO d'IC1509.
132	OUT	HBLK	Sortie horizontale pour le traitement 100Hz, utilisé par le PIP, IC601µp, et IC1101.
147	OUT	VOUT	Via Q1505, Q1506, et Q1510 le signal vertical est appliqué sur IC601.(TDA)
152	OUT	UOUT	Via Q1507, Q1508, Q1511 le signal Horizontal est appliqué sur IC601.
155	OUT	YOUT	Via Q1509, Q1504, Q1513 le signal de luminance est appliqué sur IC601.

17.9. Générateur d'horloge.IC1509

IC1509 produit le 36MHZ pour le 2^{ème} CIP. Ce 36MHz permet la lecture des données luma et chroma du 2^{ème} CIP.

17.9.1 Brochage

Broches	IN/OUT	Nom	Définition
2		SELECT	Fixe la fréquence du VCO.
3	OUT	VCO OUT	sortie fournissant le 36MHz utilisé par le 2 ^{ème} CIP.
4	IN	FIN A	Reçoit du 100Hz utilisé par le Phase Frequency Detector PFD.
5	IN	FIN B	Reçoit un 100HZ utilisé par le PFD.
6	OUT	PFD OUT	Détection de la phase entre les deux entrés FIN A et FIN B.
9		PFD INH	Utilisé pour stopper le PFD normalement à niveau BAS.
10		VCO INH	Utilisé pour stopper la sortie VCO normalement à niveau BAS.
12		VCO IN	Cette entrée est alimenté à partir de la broche 6. Au démarrage un niveau Haut, issu de la broche 131 d'IC1510, sature les TZ Q1666, Q1667. Ces 2 TZ réduisent la constante de temps ce qui élimine les variations aléatoires de la synchronisation du 36MHz. Une fois les opérations stabilisées les TZ sont bloqués.
13		RBIAS	Polarisation d'entrée déterminant le VCO.